

電子回路

岡部 洋一

放送大学教授 (東京大学名誉教授)

2008 年 2 月 17 日

起草: 1997 年

アナログ増幅器、デジタル回路の原理を CMOS FET を中心に説明する。また、オペアンプに関する回路、それを使ったフィルタ、AD-DA コンバータの原理を示す。

All Rights Reserved (c) Yoichi OKABE 2000-present.

個人の使用以外のコピーを禁じます。また、再コピーおよび再配布は禁止します。ただし、教育目的に限り、再コピー、再配布は原著者を明示するという条件でのみ許諾します。

[[HTML ファイル](#)] [[PDF ファイル](#)] [[電子回路の掲示板](#)]

[[岡部の Web に公開の文書](#)] [[岡部のトップページ](#)]

回路理論の章は次のところへ移動しました。

[[回路理論の HTML ファイル](#)] [[回路理論の PDF ファイル](#)]

目次

第 1 章	はじめに	4
1.1	電子回路と素子	4
1.2	デジタルとアナログ	5
1.3	集積回路	7
第 2 章	能動素子と回路	9
2.1	n-MOS FET の静特性	9
2.2	拡張された静特性	11
2.3	p-MOS FET の静特性	13
2.4	トランジスタの静特性	13
第 3 章	増幅回路	15
3.1	ソース接地増幅回路	15
3.2	アナログ増幅器	17
3.3	ドレイン接地増幅器	18
3.4	デジタル増幅器の原理	19
3.5	p-MOS 増幅器	19
3.6	c-MOS 増幅器	20
3.7	SEP 増幅器	20
3.8	トランジスタ増幅器	20
第 4 章	デジタル回路	21
4.1	論理回路	21
4.2	インバータ (NOT 回路)	21
4.3	NAND 回路と NOR 回路	24
4.4	c-MOS ゲートの動作速度と電力損失	25
4.5	組み合わせ論理回路	27
4.6	スイッチと遅延回路	30
4.7	順序回路	31
4.8	メモリー	31
4.9	電卓	31
4.10	コンピュータ	31
第 5 章	アナログ回路	33
5.1	アナログシミュレーション	33
5.2	減衰回路	33
5.3	オペアンプと反転増幅器	34

5.4	非反転増幅器と加算器	36
5.5	積分器	37
5.6	フィルタ	37
5.7	非線形素子	37
5.8	発振器	38
5.9	基本アナログ回路	39
5.10	オペアンプの構造	40
第 6 章	応用回路	41
6.1	フィルタの設計	41
6.2	規格化 LPF の基本	41
6.3	バターワースフィルタ	42
6.4	チェビシェフフィルタ	43
6.5	HPF、BPF、BSF の伝達関数	44
6.6	フィルタ回路の実現	45
6.7	シグマ デルタ オーバサンプリング AD 変換器	46
6.7.1	デルタ変調	46
6.7.2	シグマ デルタ変調	48
6.7.3	シグマ デルタ オーバサンプリング AD 変換器	50

第1章 はじめに

1.1 電子回路と素子

現代はまさに電子回路の時代である。家電製品のような身の回りにあるものから、世界をまたがる通信システムにまで、ありとあらゆるところに電子回路が使われている。

電子回路 (electronic circuit) とは、各種の回路部品を組み合わせて、電気信号を処理するものである。素子 (device) という言葉は対象とするシステムの構成要素といった意味を持つ。したがって、巨大な電力システムに対しては、発電所、変電施設といった大きなものを指すし、計算機システムに対しては、本体、ハードディスク、プリンタといったそれ自体かなりの大きさの電子回路を含む装置を指す。これに対し、電子回路をシステムとして考える場合は図 1.1 のようなトランジスタ、抵抗、キャパシタなどの回路部品のことを素子という。英語のデバイスという言葉が使われることも多い。

電子回路に使われる素子は、およそ次のように分類することができる。

- 線形素子 抵抗、コンデンサ、コイル、トランスなど
- 非線形二端子素子 ダイオードなど
- 三端子素子 FET、トランジスタなど

まず、線形素子は、電圧をかけるとそれに比例する電流の流れる線形特性を持つ素子であり、いわゆる電気回路理論で扱う素子である。

これに対し、非線形二端子素子は、半導体ダイオードで代表されるような非線形特性を持っており、交流から直流を作るなど、異なる周波数間のエネルギー移動を行うことができ、ある種のエネルギー変換を行うことができる。

三端子素子は、主となる二端子と第三の制御電極を持っており、主端子間を流れる電流を第三の電極にかける電圧により制御することができる。代表格である FET やトランジスタなどの三端子素子は、制御電極にほとんど電流が流れ込まないことから、わずかな電力で主端子間の大きな電力を制御でき、増幅作用を持っている。といっても、永久機関のような無から有を作り出すのではなく、交流信号を増幅するなどの場合でも、実は直流電力を使っているなど、非線形二端子回路とは異なる意味のエネルギー変換回路と考えられる。三端子素子は電子回路にとってもっとも重要なも

図 1.1: トランジスタ、抵抗、キャパシタなどの回路部品と分類

のであり、逆に、電子回路とはFETとトランジスタを、線形素子やダイオードの助けを借りて利用する方法であるともいえる。

上に述べた素子の分類は必ずしも組織的ではない。例えば、組織的にまず線形、非線形で分類することも可能ではある。この場合、FETやトランジスタといった現実の三端子素子は非線形なので、下二つのグループが非線形素子である。しかし、三端子素子は、その線形的な部分だけを利用する場合も少なくない。やはり、制御電極を持っていることが、より本質なのである。

二端子、三端子といった端子数にこだわる分類も可能ではあるが、トランスのように簡単な線形的機能しか持たないが四端子のものもある。制御電極が二個ついたような四端子素子などもあるが、基本的には上記三端子素子の延長と考えられるので、あえて、多端子素子の分類項目は作らなかった。

能動素子と受動素子といった分類もある。これは、エネルギーを作り出す能力があるかどうかという意味であるが、本質的に永久機関が無い以上、電気エネルギー以外のエネルギーを電気エネルギーに変換するか、直流エネルギーを利用して交流エネルギーを増幅するといった異なる周波数間のエネルギー変換しかありえない。前者は発電機、太陽電池、マイクロフォンなどであるが、ここで示した各種の回路部品である素子はいずれも電気信号のみを扱うため、基本的に異周波間のエネルギー変換はしない。そういう意味で非線形二端子素子と三端子素子は能動素子であり、線形素子は受動素子に分類される。増幅という言葉を持つ三端子素子だけが能動素子に分類され、非線形二端子素子は信号を歪ませる機能を持つ受動素子であると考えている人もおり、この分類は必ずしも明白ではない。しかし、大事なことは分類学に凝ることではなく、各素子ごとの機能を正しく認識することである。

1.2 デジタルとアナログ

電子回路の多くは、外部からなんらかの情報を取り入れ、それを処理して、信号を外部へ送り出す形となっている。例えば、使用量の刻々変化する給水系の、タンクの水位を一定にすることを、考えよう。この制御系は、水位を電気信号へ変換するセンサーを持った入力部分と、その電気信号を処理して、制御に必要な電気信号を作り出す処理部分と、処理された電気信号を変換して、タンクへの流入量を制御する弁を動かす出力部分、の三部分からなっている。なかには、電子時計のように、内部で信号を生成し、それを処理して、出力する、つまり、処理部分と出力部分しかない例外的な回路も存在する。

これら外界から取り入れる情報、回路内の電気信号、外界へ送り出す情報は、大きく分けて、アナログとデジタルに分類される。アナログとかデジタルという言葉は、取り扱う信号の性質に対してつけられたものである。

温度という量は、たとえば、 10°C と 11°C の間の 1K の間に 10.1°C とか 10.11°C とかいくらでも無数に取りうる値を持つ。このように連続的に値を取りうるものをアナログ (analog) 量と言う。光の強度も水位もみなアナログ量である。アナログ量をアナログ電気信号に変化したものを入力とし、それを処理してアナログ電気信号を出力として出す回路をアナログ回路と呼ぶ。

これに対しとびとびの値をとる量はデジタル (digital) 量と呼ばれる。たとえば、パチンコ玉の数、モールス信号を送る電鍵の開と閉の状態などはデジタル量である。このようなデジタル量を入力とし、それを処理してデジタルの出力を出す回路をデジタル回路と呼ぶ。パチンコ玉の数のように取りうる値がいくつかあるものは、小さな値から順に二進数を対応させ、その二進数の 0 と 1 の組合せを回路の入力とすることが多い。多くのデジタル回路は、図 1.2 のように、二進数の桁数

図 1.2: 二進バス構成による入出力処理

図 1.3: デジタル回路によるアナログ処理

に対応する数の入力チャンネルを持ち、それを処理して、いくつかの出力チャンネルに 0、1 に対応する信号を送り出す作業を行う。0、1 に対応する電気信号としては普通低い電圧レベルと高い電圧レベルを用いる。

1960 年代ごろまでは電子回路といえばアナログ回路を指した。しかし現在は、それが急速にデジタル化しつつある。パソコンのような純粋なデジタル機器は言うまでもないが、計測や制御、製造機械から家庭電化製品にいたるまで、あらゆるものにデジタル技術が応用されている。それは、デジタル技術が、複雑な機能を容易に実現できる能力をもっているからである。

デジタル回路はアナログ量の処理には適していないように思われるだろうが、決してそのようなことはない。アナログ量を、ある刻みを単位にしてきわめて多値のデジタル量と見なし、それをデジタル回路の入力とすればよいわけである。またデジタル回路の出力を逆に変換してきわめて多値の出力として出せばあたかもアナログ回路のように動作させることができる。この場合入力のアナログ量は一定の刻みに丸められてしまうし、出力も完全なアナログ量とは言い難い。しかしこのようなデジタル化（量子化）に伴う誤差は現実にはほとんど問題とはならない。タンクの水位を 1mm 以下の単位まで測ることは多くの場合意味がないし、波などがあれば、そもそも測定すらできない。水流のバルブを $1\mu\text{m}$ の確度で制御してもほとんど意味がない。このようにどんなアナログ量にも必要な精度や確度があるからである。十分精度を上げれば、水の量も、水分子数で表現できるし、光の強さも光子数で表現できるから完全に量子化されてしまう。一見、荒唐無稽のような話に聞こえるかもしれないが、こうした限界に達した技術もないわけではない。

入力側のアナログ量をデジタル量へ変換する A/D 変換回路と出力側のデジタル量をアナログ的な量へ変換する D/A 変換回路を精度良く作成しておけば、図 1.3 のように、デジタル回路によるアナログ処理は途中の回路による歪などが発生しないため、むしろ品質の良い処理ができる。従来アナログ処理が主流であったオーディオなどの分野でも、光ディスクに見られる PCM（パルス符号変調）録音のようにこういった処理が大幅に取り入れられるようになっている。

デジタル回路の代表であるコンピュータの出現により、いくらでも複雑な情報処理ができるようになったことから、かつては機械的部品の組み合わせなどで処理してきた制御機構なども、ほとんどすべて電気信号に変換された後に、電子回路で処理されるようになってきている。たとえば、自動車エンジンの制御などは、かつては完全に機械的仕掛けだったが、現在はほとんど電子的に処理されるようになってきている。

一方で、アナログ回路の利用比率はかなり下がってきたとはいえ、素子の持つ限界速度を十分に生かすことができ、テレビ、携帯電話といった無線通信に使われる高周波の処理には欠かせない。さらに、最近では脳機能との類似性から、再評価されつつある。

1.3 集積回路

アナログ回路における増幅装置をトランジスタ一個で構成しようとする、よほど小振幅で使用しない限り、非線形性が出てしまう。これを避けるにはいくつかの素子を巧みに組合せて線形性の高い非常に高い利得を持つ増幅器を作り、その利得を殺して使うなどの方法がとられる。いずれもきわめて多くの、しかも相互にバラツキの少ない素子を必要とする。またデジタル回路ではちょっと複雑な論理をさせようすると大変な数の素子数を必要とする。こうした回路をバラバラの素子を用い配線すると故障も多く、素子間のバランスもとりにくい。そこで考えられたのが集積回路である。

集積回路とはいくつかの素子をまとめ、配線も含めて一つの基板の上に作成し、一つの部品として使えるようにしたものである。IC (integrated circuit) と呼ばれ、素子ごとの容器が不要な点、素子ごとの接続のためのピン、コネクタなどの部品が不要なことから、かなり複雑な回路をきわめて小型に作る事ができる。同じような理由から個別部品を集めたものよりはるかに安価である。さらに外部接続数が少ない分だけ信頼性が高くなる。トランジスタ、FET が小さくでき、配線も細く短くできるため、小電力、高速となる。

集積回路の代表的なものはモノリシック IC (monolithic IC) である。モノリシックというのは一つの石という意味の英語で、一つの小さなシリコンの基板 (チップと言う) に、必要なすべてのダイオード、トランジスタ、抵抗、キャパシタンス、配線などを作りつけたものである。

インダクタンスや大容量のキャパシタンスといった素子は寸法が大きく IC に組み込むことがむずかしい。同様に抵抗、特に電力消費の大きな抵抗も作りづらい。そこで IC の設計ではなるべくこうした素子を避けるように、たとえば抵抗のかわりに一定バイアスをゲートにかけた FET を用いるなどの工夫がとられる。しかし高周波用回路、電力用回路などはどうしてもある程度の大きさの回路素子を必要とする。そこでこうしたものを IC 化する時には、一つのシリコンチップ以外にいくつかの素子を一つのセラミック基板上に作成したものが用いられる。こうしたものを混成集積回路、ハイブリッド IC (hybrid IC) と呼ぶ。

集積回路の出現によって、まず、理想的機能を持つ素子が得られるようになった。たとえば、アナログ回路の代表格としては、増幅度の究めて大きい演算増幅器である。この集積回路には数十のトランジスタが入っているが、我々はそんなことは知らなくても、単純に理想的な増幅器として使用することができる。同様にデジタル回路でも、NOT や AND や OR といった理想的な特性をもつ基本論理回路が、集積回路として手に入るようになった。それがさらに巨大化したものが、マイクロプロセッサやメモリーである。

IC の規模は現在もデジタル回路を中心に年々大きくなりつつあり、図 1.4 のように素子数が百程度以下の SSI (small scale integration)、千程度以下の MSI (medium ...)、一万程度以下の LSI (large ...) と発展し、現在は十万程度以下の VLSI (very large ...)、百万程度以下の ULSI (ultra large ...)、一千万程度の ELSI (extra large ...) まで開発され、電子計算機一台分が数 cm^2 のシリコンチップにのるようになってきている。

図 1.4: 集積回路の歴史

第2章 能動素子と回路

2.1 n-MOS FET の静特性

アナログ回路でもデジタル回路でも、電子回路の基本は三端子素子である FET やトランジスタを利用した増幅器である。FET は電界効果トランジスタ (field effect transistor) の英語の略称である。また、トランジスタは双極性トランジスタ (bipolar transistor) の略称であり、いずれも制御電極に電圧をかけることにより、主たる電極間の電圧-電流の関係を制御することができる。

図 2.1: n-MOS FET の構造

まず FET の特性を考えよう。図 2.1 に示すように、FET の主たる二電極はドレイン (drain) とソース (source) である。また、制御電極はゲート (gate) と呼ばれる。FET の主たる二電極間の領域には絶縁体を挟んでゲートが存在するが、ゲートに正の電圧をかけると、ソース電極やドレイン電極の接続された半導体部分に沢山入っている電子が、ゲートの直下に引き出され、両電極間を電氣的に接続する。こうした電子の接続部分をチャンネルという。ゲートにもっと電圧をかけると、より多量の電子が誘起され、両電極間はより強く接続される。逆にゲートに負の電圧をかけると、電子はソースやドレインに引っ込んで、チャンネルは消失してしまい、両電極間の接続が切れる。

このように負 (negative) のキャリアである電子を利用して、両電極間の断接を行うタイプの FET を、n-MOS FET という。MOS とはここに示した FET の構造を示す。つまり、ゲートの金属 (metal)、絶縁体の酸化物 (oxide)、チャンネルの形成される部分の半導体 (semiconductor) の頭文字を採ったものである。

FET には正 (positive) のキャリアである正孔を利用した p-MOS FET もある。p-MOS FET では、ソース電極やドレイン電極の接続された半導体部分には正孔が沢山入っている。したがって、ゲートに負の電圧をかけると、正孔のチャンネルが形成され、ゲートを負にすればするほど両電極間は電氣的に強く結合する。また、ゲートを正にしていくと正孔チャンネルは消失する。

n-MOS FET の電気特性を、もう少し正確に調べてみよう。ゲートに正方向の電圧をかけていくと、電子が誘起されてチャンネルが形成されるが、チャンネル中に誘起される電子の総電荷量は、ゲートの静電容量を C_g とすると、

$$Q = -C_g V_{gc} = -\frac{\epsilon L W}{t} V_{gc} \quad (2.1)$$

で与えられる。 L はチャンネル長、 W はチャンネル幅、 t は絶縁膜の厚さである。また、 V_{gc} はゲートとチャンネル間の電圧差である。

実際の素子では、ゲート絶縁膜の中や絶縁膜と半導体界面や半導体中に固定電荷 Q_f があり、ゲートの電荷とこれらとチャネル電子の合計が対向して静電容量を形成するため、

$$Q + Q_f = -\frac{\varepsilon LW}{t} V_{gc} \quad (2.2)$$

が成立する。さらに Q_f を電圧に換算すると、

$$Q = -\frac{\varepsilon LW}{t} (V_{gc} - V_{th}) \quad (2.3)$$

と表現できる。 V_{th} のことは閾値電圧と呼ばれる。

ドレインにソースより僅かに高い電圧 V_{ds} をかけて、チャネル電子をドレイン側に引き出して見よう。電子は負電荷であるから、こうするとドレインからソース側に電流が流れる事になる。この電流をドレイン電流と呼ぶ。ドレイン側からソース側にかけて電界が発生するが、電子はこの電界に引かれてドレイン側にある速度で移動していく。ミクロに見ると電子は最初は加速されるが、やがて半導体から摩擦を受けるようになり、一定の終端速度で運動するようになる。この終端速度はほぼ電界に比例するので、

$$v = -\mu E \quad (2.4)$$

と表すことができる。比例定数は移動度 μ と呼ばれる。電界は L をチャネル長として

$$E = -\frac{V_{ds}}{L} \quad (2.5)$$

となるから、電子の速度を求めることが可能となる。さて、速度が与えられると電子がソースからドレインまで抜ける時間が計算できる。

$$t = \frac{L}{v} \quad (2.6)$$

Q の負電荷がこれだけの時間でソース側に現れるので、ドレイン電流は

$$I_d = -\frac{Q}{t} = C_g(V_{gc} - V_{th}) \frac{v}{L} = \frac{\mu \varepsilon W}{Lt} (V_{gc} - V_{th}) V_{ds} \quad (2.7)$$

となる。

さて、問題は V_{gc} である。と言うのはドレインとソース間に電圧をかけているので、チャネル内の電位は一定ではないからである。一つの近似としてソースとドレインの平均電圧を考え、それを基準にしたゲート電位と理解して見よう。すると $V_{gc} = (V_{gs} + V_{gd})/2 = V_{gs} - V_{ds}/2$ となるから、

$$I_d = \frac{\mu \varepsilon W}{Lt} \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) V_{ds} \quad (2.8)$$

が得られる。

この関係は $V_{gs} - V_{th} \geq 0$ かつ $V_{gd} - V_{th} \geq 0$ の条件で成立する。この二つの条件を満たす動作領域を抵抗領域と呼ぶ。この領域の特性は I_d が V_{ds} の二次式で与えられることを示しているが、上記条件を考えると図 2.2 に示すように、放物線となる。後の条件は $V_{ds} \leq V_{gs} - V_{th}$ と変形できるので、抵抗領域は原点から放物線の最大点までとなる。

この図にはドレイン-ソース電極間の電圧-電流特性を示してある。つまり、ゲート電圧 V_{gs} を固定して、ドレイン電圧 V_{ds} を変えていったときのドレイン電流 I_d の変化を一本の曲線で示している。 V_{gs} を別の電圧に固定すると、別の I_d と V_{ds} の関係を示す曲線、 I_d - V_{ds} 特性が得られる。 I_d - V_{ds} 特性といった場合の I_d は、引き算ではなく I_d 対 V_{ds} の意味なので注意。曲線群をまとめて

図 2.2: n-MOS の静特性

n-MOS FET の静特性という。通常、n-MOS FET は V_{ds} を正にして使うことが多いので、その部分だけを示してある。

前の条件の成立しない場合を考えると、 $V_{ds} \geq 0$ の条件から、後の条件も当然成立しなくなる。つまり、チャンネル全体にわたって、ゲート電圧が電子を誘起できる程度に高くないことを示している。したがって、電流はまったく流れない。こうした領域は遮断領域と呼ばれる。つまり、図でいうと、 $V_{gs} \leq V_{th}$ であると、電流は流れず、 x 軸上に張りついてしまう。

前の条件は成立するが、後の条件が成立しない場合を考える。この場合、ソース側ではチャンネルが形成されるが、ドレイン側はチャンネルを形成しないかに見える。しかし、ドレイン電圧はキャリアをソースから引き出すために高くされ、その結果高くなりすぎて、 $V_{gd} - V_{th}$ が負になったものであり、実際には電流は流れる。ドレイン電圧を上げたことにより、チャンネルが形成しづらくなる効果とドレインが強い力で電子を引っ張ることにより、ドレイン付近のチャンネルでは、僅かな電荷が高速で流れることになる。このような言わば首を締めるような効果は、流体力学などでもよく見られるピンチオフというもので、電流はほぼ一定に保たれ、この領域の動作は飽和領域と呼ばれる。

飽和領域では、ドレイン電圧が十分高いため、ドレイン付近のチャンネルはゲートの影響よりもドレインの影響が大きくなる。このため、先に述べた静電容量による簡単な解析は有効ではなくなる。しかし、ソース付近では静電容量近似が効くため、電流はソース付近で決定され、その結果は、ほぼ一定電流になることが示される。

以上をまとめると、

$$A = \frac{\mu\epsilon W}{Lt} \quad (2.9)$$

として、

$$\begin{aligned} I_d &= A \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) && V_{ds} \text{抵抗領域: } 0 \leq V_{gs} - V_{th} \leq V_{ds} \\ I_d &= 0 && \text{遮断領域: } 0 \geq V_{gs} - V_{th} \\ I_d &= \frac{A}{2} (V_{gs} - V_{th})^2 && \text{飽和領域: } V_{ds} \geq V_{gs} - V_{th} \end{aligned} \quad (2.10)$$

のようになる。

2.2 拡張された静特性

ソースとドレインは、まったく対称的に作られている。つまり、名前だけで、実態の差は無いのである。通常、かける電圧の低い方をソース、高い方をドレインと呼ぶ。しかし、上記の解析で明らかのように、諸特性はソースを基準にして議論されることが多い。回路によっては電圧の高い方を基準にした方が、便利なこともある。こうした場合を想定して、ドレインにソースより低い電圧をかけた時の特性を議論しておこう。

といっても、ドレイン電圧の方が低い場合の特性は、ドレインをソース、ソースをドレインと見なすことにより、通常の静特性で理解できる。したがって、単なる電極の読み替えで、記述できるはずである。そこで、式 2.10 のすべての d と s を差し替え、かつドレイン電流が逆向きに定義されることを考えて、 I_d を $-I_d$ と置き換える。ここで、 $V_{gd} = V_{gs} - V_{ds}$ 、 $V_{sd} = -V_{ds}$ であることを考慮して整理すると、

$$I_d = A \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) \quad V_{ds} \text{抵抗領域: } V_{ds} \leq V_{gs} - V_{th} \leq 0 \quad (2.11)$$

$$I_d = 0 \quad \text{遮断領域: } V_{ds} \geq V_{gs} - V_{th} \quad (2.12)$$

$$I_d = -\frac{A}{2} (V_{gs} - V_{th} - V_{ds})^2 \quad \text{飽和領域: } 0 \geq V_{gs} - V_{th} \quad (2.13)$$

が得られる。従来の特性に、この負領域の特性も加えて描いたものを図 2.3 に示す。

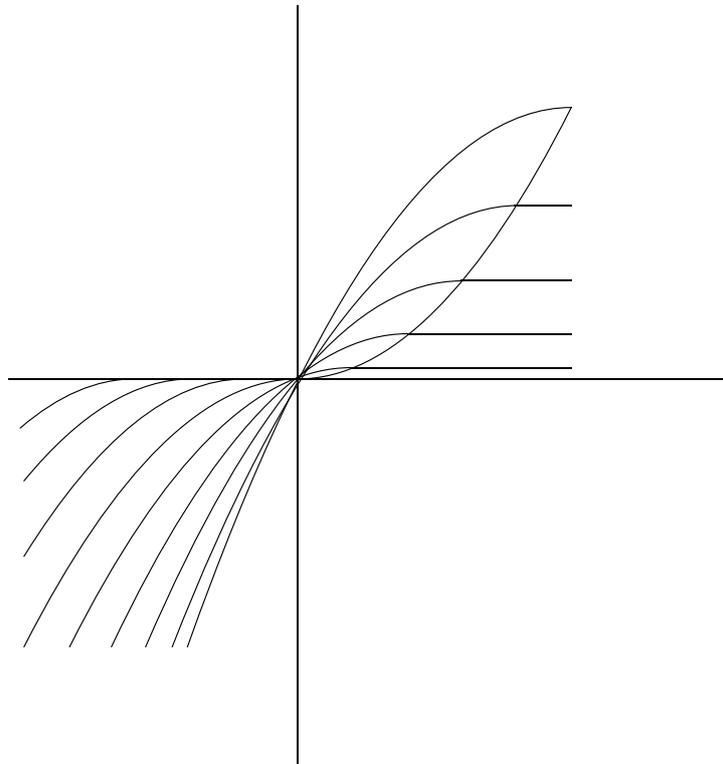


図 2.3: n-MOS の静特性

問題 2.1 上式を誘導して見よ。

答え ドレインとソースの記号の置き換えと、 I_d を $-I_d$ にすることにより、次の式が得られる。

$$-I_d = A \left(V_{gd} - V_{th} - \frac{V_{sd}}{2} \right) \quad V_{sd} \text{抵抗領域: } 0 \leq V_{gd} - V_{th} \leq V_{sd} \quad (2.14)$$

$$-I_d = 0 \quad \text{遮断領域: } 0 \geq V_{gd} - V_{th} \quad (2.15)$$

$$-I_d = \frac{A}{2} (V_{gd} - V_{th})^2 \quad \text{飽和領域: } V_{sd} \geq V_{gd} - V_{th} \quad (2.16)$$

となる。

2.3 p-MOS FET の静特性

電子の代わりに正孔の流れを制御する FET を p-MOS FET とする。ゲートに負の電圧をかけていくと、正孔のチャネルが構成され、ソースとドレインの間は強く結合する。また、通常の動作では、ドレインの電位をソースより低くして、正孔を引っ張って、電流を得る。つまり、 $V_{ds}/le0$ である。また、ドレインへ外部から流れ込む電流を I_d とすると、 $I_d < 0$ となる。全特性をまとめると、

$$A = \frac{\mu\epsilon W}{Lt} \quad (2.17)$$

として、

$$I_d = -A \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) \quad \text{抵抗領域: } 0 \geq V_{gs} - V_{th} \geq V_{ds} \quad (2.18)$$

$$I_d = 0 \quad \text{遮断領域: } 0 \leq V_{gs} - V_{th} \quad (2.19)$$

$$I_d = -\frac{A}{2} (V_{gs} - V_{th})^2 \quad \text{飽和領域: } V_{ds} \leq V_{gs} - V_{th} \quad (2.20)$$

のようになる。

さらに、 V_{ds} に逆の電圧、つまり $V_{ds} > 0$ をかけたときの特性も示しておこう。

$$I_d = -A \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) \quad \text{抵抗領域: } V_{ds} \geq V_{gs} - V_{th} \geq 0 \quad (2.21)$$

$$I_d = 0 \quad \text{遮断領域: } V_{ds} \leq V_{gs} - V_{th} \quad (2.22)$$

$$I_d = \frac{A}{2} (V_{gs} - V_{th} - V_{ds})^2 \quad \text{飽和領域: } 0 \leq V_{gs} - V_{th} \quad (2.23)$$

が得られる。この逆バイアス領域の特性も加えて描いたものを図 2.4 に示す。当然のことながら、第三象限が通常の動作領域であり、第一象限が逆の動作領域である。

2.4

図 2.4: p-MOS の静特性

2.4 トランジスタの静特性

以上、FET の電子回路の基礎について述べたが、トランジスタもほぼ同様な特性を持っているため、ほぼ同様な議論が展開できる。トランジスタには電子の流れを制御する npn トランジスタと、正孔の流れを制御する pnp トランジスタがある。

図 2.5 に、nnp トランジスタの構造を示す。主端子はエミッタ (emitter) とコレクタ (collector) と呼ばれ、制御電極はベース (base) と呼ばれる。電位の基準は通常エミッタにする。トランジスタの場合は、何も外部から電圧をかけなくても、ベースの部分の電位が高くなっており、ここに電子にとっての障壁が形成されている。このため、電子はエミッタからコレクタには容易に移動する

図 2.5: npn トランジスタの構造

図 2.6: トランジスタの特性

ことができない。しかし、ベースに正の外部電圧 V_{be} をかけると、障壁の高さがその分低くなり、エミッタからコレクタに電流が流れるようになる。

V_{ce} に電圧をかけ、コレクタ電流 I_c を制御電圧 V_{ge} で制御することになる。特性は図 2.6 に示すように、FET の特性に酷似している。ただ、トランジスタの場合は制御電極に僅かな電流が流れ込んでしまう。この電流はコレクタ電流に比例し、通常コレクタ電流の $1/100$ 以下の僅かな量である。このため、多くの回路では無視してかまわないが、今後、必要に応じ説明していく予定である。

第3章 増幅回路

3.1 ソース接地増幅回路

能動素子を使って、デジタル回路やアナログ回路など、広範な範囲の応用分野で役に立つ回路を作ることができるが、その中心は増幅器である。増幅器というと、オーディオのアナログ信号を増幅するようなものだけを考えがちであるが、デジタル回路でも増幅器を多用する。NOT や AND や OR といった回路もすべて増幅作用を有している。デジタル回路の場合、なぜ増幅作用があるかという、デジタル信号に雑音などが加わって、信号レベルが0 や 1 からずれた場合、それをきちんとした0 や 1 に再び戻す必要があるからである。

ゲート-ソース間電圧 V_{gs} を変えると、主電極間に流れる電流 I_d が変わるので、それによって電圧増幅回路を構成することができる。この I_d の変化を、図 3.1 のように n-MOS FET と電源間に、FET と直列に抵抗を付けることにより、簡単に電圧に変換することができる。この回路はソースが接地（電源の基準側）されていることから、ソース接地増幅器と呼ぶ。抵抗の両端に電圧が発生するため、FET にかかる電圧が、もともとの電源電圧 V_{dd} からずれてしまうので、解析がやや面倒になる。この抵抗による V_{dd} からの電圧降下の現象は一見複雑であるが、FET の特性図を利用して簡単にグラフィックに解析することができる。

図 3.2 には、 V_{gs} にある固定の電圧を与えたときの $I_d - V_{ds}$ 特性が描かれている。これは FET の主端子間に V_{ds} の電圧をかけたときに FET を通って流れる電流を表している。一方、抵抗の下端の電位は、ソース電位を基準にして、 $V_{dd} - RI_d$ で与えられるはずであるが、この直線関係を $I_d - V_{ds}$ 特性と重ねて描いてしまう。抵抗の下端電位は当然 FET のドレイン電位 V_{ds} と等しくなければならないから、曲線と直線の交点より、両素子の接続点の電位が決定する。また、当然、交点の縦座標から両素子を縦方向に貫通する電流 I_d が求められる。出力電圧は V_{ds} になる。

同様の作業を、図 3.3 のように、 V_{gs} を変えて、順に行っていく。その結果、入力電圧 V_{gs} を変えたときの出力電圧 V_{ds} と電流 I_d の関係を、図 3.4 および図 3.5 のように得ることができる。これらの図からわかるように、適切な入力電圧の付近で僅かな入力電圧の変動を加えると、大きな出力電圧の変動が得られることがわかる。これが、増幅器の基本である。変動の中心となる適切な入力電圧やそれに対応する出力電圧などを総称して、増幅器の動作点と呼ぶ。また適切な入力電圧のことを、バイアスという。もともと、バイアスというのは、ずらすという意味であるから、動作を適切にするための電圧や電流はすべてバイアスと呼ばれる。また、ずれのことを信号と呼ぶ。

図 3.1: n-MOS FET のソース接地増幅回路

図 3.2: V_{gs} 固定の場合の動作点の求め方

図 3.3: 種々の V_{gs} に対する動作点の移動

図 3.4: 入力-出力の伝達特性

図 3.5: 入力と電流の関係。消費電力は電流に比例する

図 3.6: 多段の交流増幅器

入力電圧が増えるほど、電流が流れることがわかる。消費電力はこの電流に電源電圧を掛けることで得られるから、この特性は消費電力の入力電圧依存性と思ってもよい。入力電圧が V_{th} 以下では消費電力は 0 となっている。

このソース接地増幅回路は、電子回路でもっとも多用されている増幅回路であり、全ての基本であるので、しっかり理解して欲しい。

3.2 アナログ増幅器

高い増幅率を持つ直流増幅器を構成するには、上記のソース接地回路を多段にする必要がある。しかし、前段の増幅器の動作点の出力電圧と、後段の入力バイアスレベルには通常差があるので、ここにレベルシフトと呼ばれる定電圧源を入れる必要がある。それにしても僅かなずれが有ったり、入出力伝達特性が、少しでもずれると、そのずれはどんどん増幅されていき、安定な直流増幅は容易ではない。これに対する対策は後の章で述べる。

しかし、交流の高増幅率の増幅器は簡単に構成できる。何故かという、信号は前段の増幅器の出力をキャパシターで切って、後段の入力に与えることができるが、これとは独立に入力バイアスは抵抗を適当に接続することにより、ある程度自由に設定できるからである。基本的に信号伝達とバイアス設定を独立に設定できることが多段の交流増幅を容易にする。

具体的には、図 3.6 のようにする。キャパシターの後にある縦続された抵抗は、入力側のバイアスを与えるものである。直流バイアス電圧は、電源電圧 V_{dd} を抵抗分割したもので与えられる。これらの抵抗値を余りに小さくすると、前段の出力電圧がへたってしまう。また、使いたい周波数範囲を通すのに、大きな値のキャパシターが必要になるので、抵抗値は適度に大きくする必要がある。余りに大きくすると、FET のゲートに漏洩があったり、部品を配置するボードの漏洩などの影響を受けてしまう。通常、出力抵抗の 10 倍程度の値を設定する。

この直流バイアスの V_{gs} に加えて、微小な交流信号を重ねたものを入力すると、出力には動作点の V_{ds} を中心とした交流が発生する。この交流の増幅率は動作点での入出力伝達特性の勾配で与えられる。

増幅器として考えるときには、エネルギー的に増幅されているかどうかを考える必要がある。つまり、電力増幅率が問題となる。これは電圧増幅率と電流増幅率の積で与えられる。ところで、先に述べたように、FET のゲート電流 I_d はまったく流れないという性質があるから、出力から少しでも電流がとれれば、電流増幅率は無限大となる。出力側についている抵抗の一部を外部抵抗として考えれば、出力には明らかに電流変動を取り出すことができるので、電流増幅率は無限大となり、電力増幅率は無限大となる。交流の周波数を上げていくと、FET の動作も理想からずれてくるので、各増幅率は少しずつ下がってくるが、少なくとも低周波では、ここに述べたことは正しい。この増幅回路がアナログ回路の基礎となっている。

図 3.7: ドレイン接地増幅回路

図 3.8: ドレイン接地増幅回路の入出力伝達特性

3.3 ドレイン接地増幅器

同じような増幅回路を、図 3.7 のようにソース側に抵抗を付けることに実現しようという方法もある。これをドレイン接地増幅器という。これでも、FET を流れる電流を抵抗で電圧へ変換でき、同じような動作が期待できそうであるが、実はそれほど簡単ではない。FET に流れる電流を制御しているゲート電圧は、厳密にはゲート-ソース電圧 V_{gs} である。したがって、抵抗両端に電圧が発生し、ソースに電位が生じると、その結果 V_{gs} が減ってしまうという効果が発生する。

この回路の入出力伝達特性を求めるには、やはりグラフを利用する。ゲートに入ってくる入力電位を仮定して解析するのは、大変難しい。このため、 V_{gs} を仮定してしまう。すると、FET の特性曲線が一本決定する。FET の端子電圧と抵抗の端子電圧の和は今回も相変わらず電源電圧であるし、双方の素子には共通の電流 I_d が流れているので、前回と同様に二つの線の交点から、それぞれの素子にかかっている電圧を求めることができる。さて、入力電圧は V_{gs} に抵抗にかかっている電圧を加える必要がある。この点だけが、前回の解析と異なる点である。つまり、入出力伝達特性は V_{gs} の陰関数として求められることになる。

この手続きはあまりにも、面倒である。最大の問題は、入力電圧が一定でも、ソース電圧が決まっていないので V_{gs} も変化してしまうことである。そこで、思い切って、電源で電圧が固定されている FET のドレイン側をソースと見なして見よう。当然、出力端子側の元ソースはドレインと見なすことになる。しかし、この場合、FET の主端子間には通常と逆の電圧がかかることになる。ここで、活躍するのが、前章で述べた第三象限の FET 特性である。

この場合も、抵抗の両端に発生する電圧を電源電圧から差し引いたものが、FET にかかる電圧になるから、電源電圧から抵抗の傾きを持つ直線を、第三象限の FET 特性と重ねて描いて見る。今度は、出力電圧が変動しても、ソースの電圧は変動しないから、考察はずっと簡単になる。ただし、入力電圧が、ソース電圧より低くなるので、FET の特性上で V_{gs} 負の曲線との交点を探す必要がある点を気を付ける。

こうして求められた入出力伝達特性を図 3.8 に示す。勾配がほとんど 1 に近いことに着目してほしい。これは FET が大きな増幅率を持っているため、出力変動に対し、ゲート-ソース間の電圧変動は極めて小さくなければならないこと、その結果、入出力間の電位差が大きく動けないことから、簡単に理解できる。ソースの電位がゲートの電位をほぼ追従することから、ソースフォロワ増幅器とも呼ばれる。

図 3.9: n-MOS FET を用いたインバータ回路の動作原理

以上の解析からもわかるように、ドレイン接地増幅器の電圧増幅率はほぼ 1 である。このように、出力変動が入力側へまわって、電圧増幅率を下げる現象を負帰還といい、特にアナログ回路で利用される技術である。電圧増幅率は低いが、電流増幅率は無限大であり、電力増幅率も無限大であることは覚えておいて欲しい。残念ながら、主として 1 以上の電圧増幅率を必要とするデジタル回路ではほとんど使われない。

3.4 デジタル増幅器の原理

ソース接地増幅回路の入出力伝達特性をデジタル回路として使うことを考えよう。図 3.9 に示すように、伝達特性のグラフに「入力=出力」の直線を書き入れる。その交点の「入力電位=出力電位」の電位を論理閾値電位という。この電位より少しでも低い電位を論理 0 と考え、少しでも高い電位を論理 1 と考える。入力が 0 側の電位を入れると、出力は当然 1 側の電位が出てくる。逆に、入力が 1 側の電位を入れると、出力は 0 側の電位が出てくる。つまり、入力と出力の 0 と 1 が反転する。

こうした回路は NOT ゲートあるいはインバータ (反転器、Inverter) と呼ばれ、デジタル回路の基礎となっている。入出力伝達特性の勾配がきついため、入力が論理閾値に極めて近くても、出力は論理閾値からかなりはずれ、より決定的な値になる。一般に論理回路は多段にして使われることが多い。この性質は段数が増えるほど、論理が正確になっていくことを保証している。このようにデジタル回路でも、論理閾値付近の増幅率が 1 以上であることが必要である。

一般に、こうした動作が保証されるのは、伝達関数が単調減少であるだけでなく、論理 0 に対応する電圧から論理閾値までの入力電圧に対しては、利得 -1 の直線より必ず上にくること、論理閾値から論理 1 に対応する入力電圧に対しては、利得 -1 の直線より必ず下にくることが要請される。n-MOS インバータでは、入力電圧が最大付近で、一部この条件が破られており、その結果、入力が論理 1 の場合、出力は 0 より若干大きめになる。幸いにして、この若干大きめの出力は、再びインバータを通すことにより、論理 1 に戻せるため、実用的な回路では問題にならない。

3.5 p-MOS 増幅器

p-MOS FET を使っても、増幅器を構成することができる。ただし、p-MOS FET は、通常電源の+側をソースとする。さらに+側を接地と考える。したがって、ソース接地増幅器は図 3.10 のように、電源+側の上が接地側になり、FET も上に置かれることになる。むしろ、電源を逆さに置いて、FET を下に置く描き方も可能であり、本によってはそのように描かれているものもあるが、本書では、後の章との関係から、一貫して電源電圧の高い方を上に描くように統一する。この場合の動作解析も、n-MOS FET の場合と全く同じである。つまり、p-MOS FET の通常の動作領域である第三象限で、横軸の負の電源電圧のところを通るような抵抗 R の直線を引く。入力電

図 3.10: p-MOS FET ソース接地増幅器

図 3.11: p-MOS FET ソース接地増幅器

圧に対応するゲート電圧における FET の特性曲線と、抵抗 R の交点の横軸座標が出力電圧になり、縦軸が FET と抵抗を連続して流れる電流になる。入力電圧を変えて、出力電圧を読み取ることにより、増幅器の伝達特性を求めることができる。

こうして得た伝達特性を図 3.11 に示す。

3.6 c-MOS 増幅器

3.7 SEP 増幅器

3.8 トランジスタ増幅器

第4章 デジタル回路

4.1 論理回路

0と1からなるデジタル量を処理するデジタル回路は多入力、多出力を持つ場合が多い。これはアナログ回路では一本の線でも連続的に変化する量を処理する量を伝達できるのに対し、0、1の二値のデジタル回路では二状態しか伝達できないため、線数を増やすことが多いからである。

したがってデジタル回路とは入力の束に次々と入ってくる0、1の組合せ(パターン)を参考にして、ある一定の規則で出力パターンを生成していく回路であると言える。出力は今入ってきたばかりの入力も参考にして作られるだろうし、過去に入ってきた入力も参考にして作られるから、回路内にはいくつかの時間を遅らせる遅延要素が入っているはずである。こうしたデジタル回路は特に順序回路(sequential logic circuit)と呼ばれる。切符の自動販売機に使われるようなデジタル回路も、巨大な電子計算機もすべて順序回路である。

さて、図4.1のように順序回路内にある遅延要素をすべて回路内から取り出し、別に遅延回路として置くと、残った回路は0、1の入力の組合せから遅れなく直ちに0、1の出力の組合せを作り出す回路となる。これは組合せ論理回路(combinational logic circuit)と呼ばれる。単に論理回路というと、厳密には順序回路も含む場合があるが、特に混乱のない場合は、組み合わせ論理回路のことを指す。

4.2 インバータ(NOT回路)

現在の論理回路はほとんどFETでできている。第1章でFETを一つ使ったインバータ(NOTゲート)を紹介したが、これを改めて図4.2に示す。厳密にはn-MOSインバータと呼ばれる。その理由は、図4.3に見られるようなn-MOSと呼ばれるFETを使っているからである。MOSとは金属-酸化物-半導体(metal-oxide-semiconductor)の英語略で、FETの構造を指している。

ゲートに電圧をかけると、ドレイン-ソース間のコンダクタンスが増加するのは、酸化物を挟んだゲート電極の反対の半導体側に、チャンネルと呼ばれる電子層が形成されるからである。n-MOSのnは電子の持つ負電荷の負(negative)を指す。n-MOSインバータの特徴は、1入力になるにしたがって電力損失は増えるが、0入力に対しては電力損失がないことである。

図 4.1: 順序回路の標準形

図 4.2: n-MOS インバータ (NOT 回路)

図 4.3: n-MOS FET の構造と特性

図 4.4: p-MOS FET の構造と特性

図 4.5: p-MOS インバータ (NOT ゲート)

図 4.6: c-MOS インバータ (NOT ゲート)

図 4.7: c-MOS インバータの動作点

図 4.4 のようにチャネルが正電荷の正孔で構成される FET は p-MOS FET と呼ばれ、ゲート電圧を上げると、逆にコンダクタンスが低下するようになる。この p-MOS FET を用いても、インバータを作ることができる。p-MOS FET は正電荷を使っているため、ドレインはソースよりも電圧を低くしておく必要がある。このため電圧関係は、すべて正負が逆になる。電圧の高い方を上に描くことにすると、p-MOS インバータの回路は図 4.5 のようになる。p-MOS インバータの特徴は、n-MOS インバータと逆に、0 入力に近くなると電力損失が増えるが、1 入力に対しては電力損失のないことである。なお、この回路で抵抗と FET を上下逆に配置することは、前章で述べたソース接地回路になるため、増幅率が 1 になりうまくない。

現在、ほとんどのデジタル回路には c-MOS 論理回路が使われている。その基本となるのが、c-MOS インバータである。c-MOS インバータは図 4.6 のように、n-MOS インバータと p-MOS インバータを合併させたような形となっている。n-MOS インバータの抵抗部分を p-MOS に替えたとも見えるし、逆に p-MOS インバータを変形したようにも見える。実は n-MOS と p-MOS FET が相互に補てん的に動作するので、相補型 MOS という意味で c-MOS (complimentary MOS) という名前が付いている。

このインバータの動作を調べてみよう。入力電圧を固定すると n-MOS FET の特性も p-MOS FET の特性もそれぞれ一本の曲線で与えられる。それらを、図 4.7 のように一つの図にまとめてみる。この際、横軸は出力電位 V_o 、縦軸は各 FET のドレイン電流とする。まず、n-MOS FET に流れる電流を求めると、横軸はそのまま n-MOS FET の V_{ds} であるから、n-MOS FET の特性をそのまま写せばよい。一方、p-MOS FET に流れる電流を求めると、p-MOS FET にかかる V_{ds} は $V_{dd} - V_o$ となるから、p-MOS FET の特性を V_{dd} を原点として左右逆に写せばよいことがわかる。さて、回路からわかるように、出力端子から電流をとらない場合は、両者には共通の I_d が流れるから、両曲線の交点がこの回路の動作点となる。交点の横軸座標が出力電位、縦軸座標が両 FET を通し、縦に流れる電流である。

入力電位を変えていくと、両方の FET の特性とも変化していくので、交点は複雑に移動していく。そのようすを図 4.8 に示す。まず、入力電位が n-MOS FET の V_{th}^n より低いときは、(a) のように、n-MOS FET の特性が横軸に張りつき、交点は $(V_{dd}, 0)$ で動かない。 V_{dd} をこれより上げていくと、(b) のように、交点は動き始める。入力電圧が、およそ $V_{dd}/2$ ぐらいのところ、(c) のように両特性の水平な部分が重なる。このとき交点は (c) の右の交点から左の交点へ一瞬に移動す

図 4.8: c-MOS インバータの動作点の移動

図 4.9: c-MOS インバータの入出力伝達特性

る。さらに入力電圧をあげると、(d) のように、交点は図の原点付近で移動を行う。 V_{dd} をさらに上げて、 $V_{dd} - V_{th}^p$ を越えると、今度は p-MOS FET が遮断状態となり、横軸に張りつく特性となる。したがって、交点は $(0, 0)$ になり、そこで動かなくなる。

この間の交点の横軸座標、つまり出力電位の変化を図 4.9 に、また、縦軸座標、つまり両 FET に流れる共通電流の変化を図 4.10 に示す。図 4.9 を見ると、n-MOS インバータや p-MOS インバータの特性と比較し、インバータ閾値付近で、無限大に近いきわめて高い増幅率を持っていることがわかる。また、入力がインバータ閾値からわずかにずれるだけで、出力電位はきちんと V_{dd} または 0 になることがわかる。さらに、電流特性は V_{dd} 倍することで、この回路の消費電力となるが、出力電位が 0 付近でも V_{dd} 付近でも、消費電力 0 となり、きわめて低消費電力であることが見える。このように、c-MOS インバータは理想的な特性を有していることが理解できよう。

4.3 NAND 回路と NOR 回路

あらゆる論理は NOT と AND と OR があれば良いことが知られている。AND とは、いくつかの入力を持っており、そのすべての入力が 1 のときにのみ、出力が 1 になるものを言う。また、OR もいくつかの入力を持っており、そのうち一つでも 1 ならば出力が 1 になるものを言う。このような概念は、スイッチの直列接続や並列接続に現れる。例えば、スイッチを直列に接続しておくと、全体の接続はすべてのスイッチが ON になったときのみ。また、スイッチを並列に接続しておくと、全体の接続はいずれかのスイッチを ON にするだけで ON となる。しかし、FET などの電子デバイスを使うと、出力を反転させるものの方が簡単に構成できる。したがって、電子回路では AND や OR 回路の代わりに NAND や NOR 回路が構成される。

図 4.10: c-MOS インバータの電流特性

図 4.11: c-MOS NAND ゲート回路

図 4.12: c-MOS NOR ゲート回路

まず、c-MOS NAND 回路を構成してみよう。NOT の回路は入力が 1 になったときに、下の FET が ON、上の FET が OFF になることで、動作した。そこで NAND を作るには、二つの入力が同時に 1 の場合のみ下が ON、上が OFF になるようにすればよい。図 4.11 のように、下の回路は n-MOS FET を直列に、上の回路は p-MOS FET を並列にする。両入力が 0 の場合は、n-MOS はともに OFF で p-MOS はともに ON となるので、出力は 1 となる。また、NOR も同様に図 4.12 のように構成することができる。

先にも述べたように、非反転 Buffer を作るのが困難なように、電子回路で AND や OR を直接作るのは容易ではない。通常、AND は NAND の出力を反転させ、OR は NOR の出力を反転させて構成する。また、もっと、複雑な論理回路、例えば、XOR 回路などについては、組み合わせ論理回路で説明する。

4.4 c-MOS ゲートの動作速度と電力損失

c-MOS インバータは消費電力 0 といったが、実際には電力消費もあるし、動作速度も有限である。遅延について言えば、デバイスそのものも動作遅れがあるし、さらに大きな原因として、次段のゲートや配線の持つ静電容量である。静電容量があるから出力電圧を上げる際には充電時間がかかるし、出力電圧を下げる際には放電時間がかかる。また、充放電の際、電力損失も発生する。

デバイスそのものが持つこの時定数は内因性遅延 (intrinsic delay) と呼ばれる。これは、n- や p-MOS FET 自身のチャンネル形成時間であり、チャンネル抵抗 R_c を介してゲート容量 C_g に電荷が入ってくる時間であるので、 $\tau_0 = C_g R_c$ となる。しかしチャンネル抵抗と言っても電流-電圧特性が飽和する現象もあるので、簡単に一つの定数で置き換えることはできないが、線形近似できるときにどの程度であるかを見積もっておくことは悪いことではなからう。

FET の特性を計算するとき、チャンネルの抵抗はチャンネル中の電荷がどのくらいの時間でソースドレイン間を抜かれるのかで見積もった。ということは、この見積もられた抵抗から計算される τ_0 は、このチャンネルの走行時間で与えられることが推定できる。したがって

$$\tau_0 = C_g R_c = \frac{L}{v} = \frac{L^2}{\mu V_{ds}} = \tau_t \quad (4.1)$$

と書ける。 τ_t はチャンネル走行時間 (channel transit time) の意味である。

走行時間遅延はデバイスの動作に起因するため、集積回路のいろいろな遅延を議論するための比較標準のような使われ方をするために、しばしば現れるが、実はもっと大きな遅延があるために、普通は無視できることが多い。その他の遅延は総じて外因性遅延 (extrinsic delay) と呼ばれる。現在の集積回路、あるいはボード上に作られた回路でもっとも大きな遅延は、配線の持つ容量の充放電時間である。配線容量は出力線から接地側、つまり 0V 側に対して静電容量を持つ。出力電圧を上げるときには、電源である V_{dd} より p-MOS を経由して、この静電容量に充電する必要がある。p-MOS のチャンネル抵抗 (時間とともに変化するので平均的な抵抗) を R_c とすると、充電にはおよそ $\tau = CR_c$ ぐらいの時間が必要となる。また、出力電圧を下げるときには n-MOS のチャンネル抵抗によって放電を行うが、n-MOS のチャンネル抵抗は p-MOS のチャンネル抵抗に近く設計されているから、やはり同じぐらいの時間を必要とする。

次段のゲート容量の充放電時間も配線遅延ほどではないが、やはり無視できないが、厳密な取扱はやや複雑になる。というのは例えば p-MOS の場合、対向するチャンネルの電圧が一定でなく、接地電圧と次段の出力電圧の間の電圧を連続的に補間すること、それに加えて出力電圧が時間とともに変化するからである。しかし、最悪で計算しても、接地された静電容量の充放電時間であるので、通常は接地容量で計算する。しかも、年ごとに回路規模が大きくなってきているので、配線容量の占める比率が高くなってきており、詳細な議論をしても意味が無くなりつつある。

いずれの時定数も R_c に、それぞれ該当する静電容量を掛けることにより得られるので、種々の静電容量をゲート容量を基準にして表すことがよくなされる。例えば、配線容量、ゲート容量 (n-MOS と p-MOS の和に次段のゲート総数を掛けたもの)、自身のゲート容量の総和が

$$C = fC_g \quad (4.2)$$

と表されるとき、そのゲートでの遅延時間は

$$\tau = f\tau_0 \quad (4.3)$$

となる。

電力消費はこれらの容量の充放電の際、n- や p-MOS FET で発生する抵抗損失で起こる。放電の場合は、かなり簡単に考えることができる。というのは C の静電容量に $CV_{dd}^2/2$ だけ貯められていた静電エネルギーを、すべて p-MOS で無くしてしまうからである。つまり、放電のたびにこれだけのエネルギーが n-MOS で消費される。充電の場合は、静電容量に 0 から $CV_{dd}^2/2$ だけのエネルギーが蓄えられるのだが、その際、電源は V_{dd} の電圧で CV_{dd} だけの電荷を送り込むという仕事を行っている。したがって、 CV_{dd}^2 のエネルギーを使って、 $CV_{dd}^2/2$ だけのエネルギーを蓄えたことになる。この差額の $CV_{dd}^2/2$ のエネルギーは、充電側の抵抗である p-MOS で消費されたことになる。クロック周波数が f_c のとき、クロックのたびごとに出力論理が反転するものとする、

$$P_0 = f_c CV_{dd}^2/2 \quad (4.4)$$

だけの電力消費があることになる。再び $C = fC_g$ とし、このゲートの出力の反転確率を p としよう。すると、このゲートでの電力消費は

$$P = pfP_0 \quad (4.5)$$

となる。

NAND や NOR ゲートでも議論はほとんど変わらない。しかし、多入力 NAND や NOR で、ファンイン (fan in)、つまり入力の本数、が非常に多い場合には、n-MOS 側か p-MOS 側のい

ずれかに、FET がたくさん直列になる回路が入ってくるため、充電あるいは放電のいずれかの遅延時間が大幅に延びる。最大八入力 NAND や NOR ぐらいまでは気にしなくても、それよりも多入力になると、遅延時間が無視できなくなり、何らかの工夫が必要になってくる。このような場合は、いくつかの少入力 NAND を用意し、その出力を NOR に入れることにより、多入力 AND を構成する。さらに多入力の場合は、こうしたいくつかの NOR を NAND に入れて、多入力 NAND とする。

同様に、ファンアウト (あるいはファンナウト、fan out)、つまり一つのゲートの出力線につながっている次段のゲート数、が非常に多い場合も、駆動すべき負荷の静電容量が大きくなり、やはり遅延が大きくなる。この場合は、徐々に駆動力の高いインバータを従属接続し、駆動力を上げてから、複数の次段ゲートを駆動することが行われる。駆動力を高くするには、横幅の大きなコンダクタンスの高い FET を用いたインバータを利用する。

ファンインが大きい場合は、段ごとに指数関数的にゲート数を減らし、ファンアウトが大きい場合は、指数関数的に駆動力を上げていったが、どのくらいの比率で駆動力を上げるのが良いだろうかということ、次のような計算で決定することができる。いずれの場合も同じ論理で計算できるので、ここではファンアウトをとる場合で議論しよう。全体で f_t のファンアウトをとる場合、 n 段で対処することとし、各段で f のファンアウトをとることとしよう。当然

$$f^n = f_t \quad (4.6)$$

が成立する。内因性遅延や配線遅延を無視し、次段ゲート駆動の遅延だけを考えると、各段での遅延時間は $f\tau_0$ となるから、全体の遅延時間 τ_t は

$$\tau_t = n f \tau_0 \quad (4.7)$$

となる。

前式の条件で、この式を最小にすることを考えればよい。前式の \log をとって n を求め、この式に代入すると

$$\frac{\tau_t}{\tau_0} = \frac{f}{\log f} \log f_t \quad (4.8)$$

となる。 f で微分してみると、この式は $f = e$ で最小値 $e \log f_t$ をとることがわかる。したがって、理想的には各段 2、3 倍ごとにインバータを大きくしていけばよいことになる。ただ、段数を増やすことは、集積回路でも、ボード上でも面積をとるので、実際はもう少し大きな拡大率をとる。 $f = 10$ で遅延は $f = e$ の場合の 1.6 倍ぐらいとなるから、この辺が現実的な拡大率であろう。ファンインの場合の縮小率についても全く同様の議論が成立する。

4.5 組み合わせ論理回路

ありとあらゆる論理回路は、AND と OR と NOT を使うことにより実現できる。それは次のような理由による。論理回路のいくつかの入力といくつかの出力を持つ。また、その動作は入力に発生するありとあらゆる可能なビットパターンに対する、出力パターンを表にしたもので、完全に記述できる。この表は真理値表 (truth table) と呼ばれている。

図 4.13 に一例を示すが、この表で D に対応する論理回路を考えてみよう。まず、(000) が入ってきた時のみ 1 を出力する論理回路を考えよう。(000) は、厳密には (0, 0, 0) のことであるが、以下このように略記する。この論理回路の出力を S_0 とすると、

$$S_0 = \bar{A} \cdot \bar{B} \cdot \bar{C} \quad (4.9)$$

図 4.13: 真理値表の例

のように、三つの入力の NOT の AND をとったものである。 \bar{A} などは A などの否定を表している。また、 \cdot は AND を意味し、 \cdot でまとめられた項すべての AND をとる。 (A, B, C) が (000) のとき、 $(\bar{A}, \bar{B}, \bar{C})$ は (111) となる。一方、三入力 AND は入力が (111) ときのみ 1 を出力するから、 (A, B, C) が (000) のときのみ 1 となる。同様な考察で、図 2.13 の各行に対応した S_0 から S_7 は次のように表される。

$$S_0 = \bar{A} \cdot \bar{B} \cdot \bar{C} \quad (4.10)$$

$$S_1 = \bar{A} \cdot \bar{B} \cdot C \quad (4.11)$$

$$S_2 = \bar{A} \cdot B \cdot \bar{C} \quad (4.12)$$

$$S_3 = \bar{A} \cdot B \cdot C \quad (4.13)$$

$$S_4 = A \cdot \bar{B} \cdot \bar{C} \quad (4.14)$$

$$S_5 = A \cdot \bar{B} \cdot C \quad (4.15)$$

$$S_6 = A \cdot B \cdot \bar{C} \quad (4.16)$$

$$S_7 = A \cdot B \cdot C \quad (4.17)$$

さて、 D は $(001), (010), (100), (111)$ のいずれかが 1 のときのみ 1 であるから、これら四つのパターンの OR で与えられる。つまり、

$$\begin{aligned} D &= S_1 + S_2 + S_4 + S_7 \\ &= \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot C \end{aligned} \quad (4.18)$$

となり、NOT と AND と OR の組み合わせで表現できる。ここで、OR は '+' で表されている。AND と同様に、多入力の場合は '+' を複数書く。AND の記号の ' \cdot ' の方が優先度が高いと定義されているので、まず AND をとり、その OR をとることになる。

まったく同様に

$$\begin{aligned} E &= S_3 + S_5 + S_6 + S_7 \\ &= \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C} + A \cdot B \cdot C \end{aligned} \quad (4.19)$$

となる。以上のように、いかなる場合も真理値表の 0, 1 に併せて、NOT、AND、OR を配置すればよいことが理解できよう。

電子回路の場合、こうした論理は AND、OR の代わりに NAND や NOR を使って実現する必要がある。これには、うまい方法が知られている。まず、 S_0 から S_7 の代わりに、それらの否定

図 4.14: NAND-NAND 回路

図 4.15: 簡略表記による NAND-NAND 回路

論理である T_0 から T_7 を使おう。すると明らかに

$$T_0 = \overline{\overline{A \cdot B \cdot C}} \quad (4.20)$$

$$T_1 = \overline{\overline{A \cdot B} \cdot C} \quad (4.21)$$

$$T_2 = \overline{\overline{A} \cdot B \cdot C} \quad (4.22)$$

$$T_3 = \overline{\overline{A} \cdot B \cdot C} \quad (4.23)$$

$$T_4 = \overline{A \cdot \overline{B} \cdot C} \quad (4.24)$$

$$T_5 = \overline{A \cdot \overline{B} \cdot C} \quad (4.25)$$

$$T_6 = \overline{A \cdot B \cdot \overline{C}} \quad (4.26)$$

$$T_7 = \overline{A \cdot B \cdot C} \quad (4.27)$$

である。また、 $D = \overline{T_1 + T_2 + T_4 + T_7}$ となる。ところが、この式は $D = \overline{T_1 \cdot T_2 \cdot T_4 \cdot T_7}$ と変形できるのである。つまり、NOT と NAND だけがあれば、いかなる論理も構成できてしまうのである。

OR(NOT) を NAND にする変形は De Morgan の法則として知られている。証明は D が 0 になる条件を考えてみれば、容易である。上式では、OR の演算を使っているが、OR は入力要素の一つでも 1 になると 1 になってしまう。つまり、OR が 0 になるには、すべての要素が 0 である必要がある。ところがすべての要素が大もとの入力 T_1 から T_7 の否定であるから、大もとの入力 T_1 から T_7 で考えると、すべての入力 T_1 から T_7 が 1 のときだけ D は 0 となる。一方、下式を見ると、すべての入力が 1 の時だけ、AND は 1 になり、NAND は 0 になる。したがって、いずれの論理も T_1 から T_7 が 1 のときのみ、出力が 0 となり、同じ動作をすることが理解できよう。

これらを回路図にすると図 4.14 のようになる。これを、簡略化して図 4.15 のように表すことができる。多入力 NAND の入力を一本の線にまとめて表すこの表記法は、実際の回路と対応がとれず、誤解を招きやすいので、安易な導入は危険であるが、見やすいのでしばしば利用されている。ただ、実際にいくつかの論理の出力を一本の線に接続すると、いわゆる短絡状態を起こす可能性があり、場合によっては論理回路の壊滅的破壊を招きかねないので、絶対に行ってはならない。この図を、図 4.13 の真理値表と比較してみると、きわめて強い対応がとれていることが理解できよう。左半平面の NAND 面では、真理値表の入力側の 1 に対して、 A 、 B 、 C との接続が対応し、真理

図 4.16: D Flip Flop 回路

値表の 0 に対して、 \bar{A} 、 \bar{B} 、 \bar{C} との接続が対応している。また右半平面の NAND 面では、真理値表の出力側の 1 が対応している。なお、この図の簡略 NAND 記法により表した NAND-NAND 回路の一番上の NAND ゲートは最終出力にいっさい関係しておらず、不要である。しかし、現在の集積回路の内部では見やすい構造とすることを旨としているので、不要な回路でも真理値表との対応関係から、残しておくことが多い。

同様な回路は NOR だけを用いても実現できる。まず、

$$\begin{aligned}
 S_0 &= \overline{A + B + C} \\
 S_1 &= \overline{A + B + \bar{C}} \\
 S_2 &= \overline{A + \bar{B} + C} \\
 S_3 &= \overline{A + \bar{B} + \bar{C}} \\
 S_4 &= \overline{\bar{A} + B + C} \\
 S_5 &= \overline{\bar{A} + B + \bar{C}} \\
 S_6 &= \overline{\bar{A} + \bar{B} + C} \\
 S_7 &= \overline{\bar{A} + \bar{B} + \bar{C}}
 \end{aligned} \tag{4.28}$$

となる。これらの式は de Morgan の法則を使って証明できる。また、例えば、 S_0 については、OR は (000) の時のみ 0 となること、したがって、NOR は 1 になることから、理解できよう。さらに、 D は S_0 、 S_3 、 S_5 、 S_6 のいずれが選択されても 0 となることから、

$$D = \overline{S_0 + S_3 + S_5 + S_6} \tag{4.29}$$

と表される。つまり、NOR-NOR 論理は真理値表の 0 に着目した構成となっている。この意味で NOR-NOR 論理は NAND-NAND 論理の反転論理 (inversion logic) と呼ばれる。

4.6 スイッチと遅延回路

遅延回路には種々の遅延時間を持つ遅延要素の共存が許されるわけであるが、デジタル回路の多くは一定時間で信号を出す時計 (クロックと呼ばれる) を内蔵し、これを利用していつも一定の時間だけ、しかも同期して遅らせる遅延回路が用いられ、同期式と呼ばれる。クロックは外部におかれることもあり、また必要に応じ次の例のように同じ同期の複数個のものを利用することもある。

こうした遅延回路の一例を図 4.16 に示す。この回路には信号情報を移動させるために二種類のクロック信号が与えられる。これらの信号レベルが高い電圧であるとその信号の与えられた FET は導通状態となり、逆に低いと FET は開放状態となる。つまりクロック信号のレベルの高い期間だけ導通するスイッチとなる。さて t_0 から t_1 では A 点の電圧が B 点に伝達され B 点のコンデンサーがその電圧まで充電され、その電圧の逆論理の電圧がインバーターの後に現れる。 t_1 から B 点の電圧は入力側の A 点より切り離され、次の t_1 から t_2 で B 点の情報は反転されたまま C

点に伝えられさらに再反転されもとに戻った情報が D 点へ伝えられる。 t_2 で C 点は B 点から切り離される。

情報をこのように二段で伝達するのは D 点で現れた情報がすぐさま論理回路で処理されて、A 点に伝えられる可能性があるからである。つまり B 点で情報をいったん控えておかないと、入出力が矛盾して正常動作をしなくなることがあるからである。ちょうどパナマ運河の段差のあるところで、ゲートを交互に開けて船を通過させないとうまくいかないのと同じである。

D 点から送り出され論理回路で処理された情報は A 点に再び現れ、次の周期の t_0 から t_1 で再度 B 点に取り込まれることとなる。いうまでもないことであるが、同期式順序回路の場合、いくつかの遅延要素は共通のクロック信号により駆動されることとなる。

4.7 順序回路

回路の出力が、現在の入力のみによって決まるのではなく、過去の入力にも依存する論理回路を、順序回路という。通常、過去の入力の結果は、単純に入力の履歴を記憶するのではなく、回路の内部状態という形で保存されることが多い。回路は、その内部状態を過去の入力の系列にしたがって変えていき、また出力は、現在の入力だけではなく、現在の内部状態にも依存して決定される。順序回路を考えるには、クロックという回路全体に共通のタイミング信号があるという立場で考える方がわかりやすい。こうした共通のクロックを持つ回路のことを同期型順序回路という。

このように組合せ論理回路と 1 クロック分の遅延回路さえあれば、原理的にはどのような仕様のデジタル回路も構成することができる。しかし電子計算機のような巨大なデジタル回路をこの思想だけで構成しようとすると、論理回路部が著しく複雑になる。

そのため実際の回路では階層構造をとったり、機能をブロック化するなどの方法で、機能分散を行い、回路を分かりやすく構成している。また遅延要素も 1 クロック遅延だけではなく、好みのクロック数だけ遅延させることのできるいわゆる記憶装置が用いられている。

4.8 メモリー

4.9 電卓

4.10 コンピュータ

マイクロプロセッサ
コンピュータシステム

モノリシック IC の代表である MOS-IC を例に IC の具体的構造について述べよう。MOS-IC では図 [1.4] のように、FET ときわめて似た構造で抵抗やキャパシタンスが作られる。これらの素子はさらに金属の配線で接続され、最後に保護膜で覆われて完成する。デジタル回路のところを示した C-MOS のインバーターは、たとえば図 35 のようになる。上面図は回路図とよく対応がとれており、また断面図にはそれぞれの素子の構造と接続のようすが見られる。IC の作り方はトランジスターの作りかた (図 13) とほとんど同じである。フォトレジストによりいろいろなパターンを形成しそれを加工することで作成される。IC チップの大きさは約 1cm^2 程度であるから、通常一つのシリコンの基板に同じものが同時にいくつか作られる。したがって最後にそれらは切り離されて検査され、さらに容器内に接着され、リード線がつけられて完成することとなる。

図1にトランジスタの総数 個程度の実際の IC の写真を示すが、こんな大きな IC でも各部を拡大してみると図 35 のような形の回路が入っている。周辺部にある大きないくつかの正方形は、外部への接続のための電極であり、IC 容器の各ピンと細いリード線で接続されることとなる。ここに示したような巨大な IC は素子数が多くパターンも複雑になり、その設計は莫大なものとなる。しかしいったん設計をしてしまうと、同じものを複製するのは容易である。ちょうど書籍と同じであって、初期費用はかかるが IC 一個の製造単価はきわめて安くなる。このため IC の設計原則として、多少素子数が多くなっても分かりやすい構造とする、なるべく汎用性の高いものを IC 化し、かつやむを得ず用途に応じ変わる部分があってもわずかな枚数のパターンマスクで変更できるようにする、などの工夫がとられるようになりつつある。

第5章 アナログ回路

5.1 アナログシミュレーション

レベルとして連続的な値をとる信号を処理する回路をアナログ回路と呼ぶ。アナログ回路として必要な回路は、信号を生成する発振回路、信号を増幅する増幅回路、小さくする減衰回路、信号の速い変化や遅い変化を分けて選択的に弱めるフィルター回路、信号を歪ませる非線形回路などがある。かつて、これらの回路は単体の FET やトランジスタを中心に設計された。しかし、現在は増幅作用を純化した演算増幅器と呼ばれる機能 IC が用意されており、それを使って各種の回路が形成される。演算増幅器は英語では Operational Amplifier であるが、この略称であるオペアンプという言葉がしばしば用いられる。本来の電気用語ではないが、あまりにもよく使われているので、本書でもオペアンプと略称する。ただし、非常に高い周波数まで使う回路の場合は、相変わらず FET やトランジスタを直接使った回路が使われている。なお、オペアンプの中身については本章の最後の節で説明する。

5.2 減衰回路

もっとも簡単な回路は減衰回路である。これは抵抗を組み合わせるだけで容易に実現できる。たとえば図 5.1 の回路で V_{in} を与えると抵抗 R_1 と R_2 には $I = V_i / (R_1 + R_2)$ の電流が流れるから $V_o = R_1 I = V_i R_1 / (R_1 + R_2)$ となる。オーディオ装置の音量調節などはこの回路を可変抵抗を用いて実現し、増幅回路と組合せて必要な音量を得るようにしている。

この回路の問題は、多段化したときの全体の減衰率が、各段の減衰率の単純な積にならないことである。本来、減衰回路は、一段でどんな減衰率のものも作成できるため、多段化することは比較的少ないが、後に述べるフィルタの話とも関連するため、一応ここで議論したい。例えば、図 5.2 のように二段重ねると、減衰率は

$$\frac{R_1}{R_1 + R_2} \frac{R_3}{R_3 + R_4}$$

とはならない。きちんとした計算をすると、初段の減衰率が次段の抵抗の影響を受けることが理解できる。初段の減衰率が次段の抵抗の影響を受けないようにするには、初段の減衰器の抵抗群の値に対し、次段の抵抗群の値が大きめであるとよい。

図 5.1:

図 5.2:

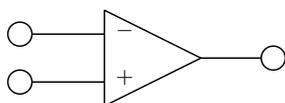


図 5.3: オペアンプ

こうした目的のためには、オペアンプを使うとよい。オペアンプは入力側の見掛けの抵抗を可能な限り大きくし、一方、出力側が理想的な定電圧源に見えるように設計されているからである。したがって、増幅器でありながら、減衰回路のような受動的な回路にも多用される。具体的な使い方については次節以降で詳しく述べる。

5.3 オペアンプと反転増幅器

オペアンプとは、数多くのトランジスタなどを組み合わせ、なるべく理想的な特性を持つ増幅器を集積回路として実現したものである。減衰器のところでも述べたように、理想的な増幅器とは、なるべく現回路に影響を与えないよう、入力を手に入れること、出力はきちんとした定電圧源として後段の回路を駆動できること、なるべく高い増幅率を持つことなどである。現回路に影響を与えないためにはなるべく高い入力インピーダンスを持つことが望ましく、多くのオペアンプでは $10\text{M}\Omega$ 以上の高い入力インピーダンスを持っている。また、出力側が定電圧源的であるためには、なるべく低い出力インピーダンスを持つことが望ましく、多くのオペアンプでは 1Ω 以下の出力インピーダンスを持っている。さらに、電圧増幅率 $100,000$ 以上を持つのが普通である。

図 5.3 のように、入力には正負の入力端子があり、正入力と負入力の差の電圧が増幅されて出力される。オペアンプには、この他、 $\pm 15\text{V}$ の電源電圧が供給されるが、以下の説明では、これら電源電圧については省略することが多い。

オペアンプを利用する場合は、その大きな増幅率を直接利用することはほとんど無く、図 5.4 のように、出力から入力へフィードバックをかけて利用することが多い。これは、回路の動作が安定になることや、回路の線形性が増すなどの理由によるが、詳細は後に述べる。ここで注意すべきは、フィードバックは必ず負入力端子に対してかける。負入力に端子に信号を入れると通常は増幅作用を抑える傾向になる。つまり安全サイドに働く。逆にフィードバックを正入力端子にかけると、信号が何度も増幅される結果、異常発振などの不安定な動作を起こす。

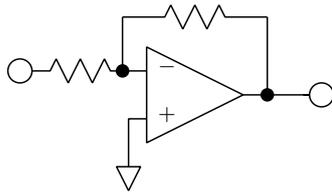


図 5.4: 反転増幅器

この図の回路の動作を解析して見よう。入力端子の電位を V_- 、 V_+ とすると、オペアンプの増幅率 A のとき、出力電圧 V_o は

$$V_o = A(V_+ - V_-) = -AV_- \quad (5.1)$$

で与えられる。一方、もしオペアンプの出力がほとんど定電圧源で、かつオペアンプの入力端子にはほとんど電流が流れ込まないとすると、 V_- の電圧は、 V_o と V_- の抵抗分割された電位となるはずである。

$$V_- = \frac{R_f V_i + R_i V_o}{R_i + R_f} \quad (5.2)$$

両式から V_- を消去すると、 V_i と V_o の関係を得ることができる。実際には、まず第二式の分母を払う。次に、第一式から V_- を求めて代入する。 $1/A$ を崩さないように変形すると、

$$V_o = -\frac{R_f/R_i}{1 + (1 + R_f/R_i)/A} V_i \quad (5.3)$$

が得られる。

さて、 A が極めて大きいとすると、

$$V_o = -\frac{R_f}{R_i} V_i \quad (5.4)$$

が得られる。当然、全体としての増幅率は A より小さいが、二つのコンダクタンスの比で自由に増幅率が設定できる点が強みである。このように入力と逆転した増幅率が得られるので、反転増幅器 (inverter) と呼ばれる。英語では論理回路のインバータと同じ用語であるが、信号を反転して増幅すると言う意味では、確かに同じ概念である。

A が極めて大きいことを前提にすると、もっと簡単に増幅率を求めることができる。式 5.2 より、 A が極めて大きくても有限の大きさの出力電圧 V_o が得られることから、逆に、ほとんど

$$V_- = V_+ \quad (5.5)$$

が成立していなければいけないことがわかる。二つの入力端子電圧が結果的にほとんど等しくなることから、この式の条件を仮想短絡 (imaginary short) という。短絡とは言うが、二つの入力端子はいずれも入力インピーダンスが極めて大きいため、負入力端子と正入力端子間に電流が流れるわけではない。極めて誤解を生みやすい言葉ではあるが、要するに二つの入力端子の電位が等しくなるということである。この例の場合は V_+ が接地されていることから、 V_- は 0V でなければならない。

次に式 5.2 を適用するのだが、次のように考えよう。 R_i には V_i/R_i の電流が流れるが、この電流はオペアンプには流れ込めないで、 R_f に流れていき、 $R_f V_i/R_i$ の電位差を作り出す。つまり、 $V_o = -R_f V_i/R_i$ となり、増幅率 R_f/R_i が得られる。これを図で理解する方法を考えよう。図

図 5.5:

5.5のように、左に V_i 、右に V_o を縦バーとして描くと、 V_- の電圧はこれらの電圧を結ぶ直線を、 $R_i : R_f$ の比で内分した点の高さで与えられる。この点の高さが 0 でなければならないことから、同じ増幅率が得られる。普通、横軸を抵抗値にして、内分比を求める。

今までの考察は、オペアンプがかなり理想的な線形増幅器の特性を持つ場合のものであった。実際にはオペアンプの出力電圧は電源電圧 $\pm 15V$ を越えることができない。実際、フィードバックのある増幅器で入力 V_i をどんどん大きくしていくと、最初の内は上で計算された増幅率に比例して出力 V_o はどんどん負に大きくなっていくが、いずれ $-15V$ で飽和してしまう。これ以上入力を大きくしても出力は $-15V$ で一定に保たれる。フィードバックがかかっているのも、もしかするとこの議論が成立しなくなると思われるかも知れないが、 V_o が $-15V$ で飽和しているときの V_- の電位は図による解法から明らかのように、必ず正になり、この場合のオペアンプの出力は確かに負に飽和するので矛盾は生じない。入力 V_i が大きな負になった場合は出力は、 $+15V$ で飽和する。

次に A が有限である影響を考えよう。 A は 10^5 程度以上ある。ここではやや特性の悪い 10^4 として議論しよう。例えば G_i/G_f を 100 に選ぶと、式 5.3 より、増幅率は $100/1.01 = 99$ と 1% ぐらい低くなるだけである。 A が環境温度などで多少ばらついて、フィードバック増幅器の増幅率は極めて安定であることが理解できよう。例えば A が二倍になっても、増幅率は 1% しか変化しない。 10^4 の増幅率を持つ増幅回路を、フィードバックなしの増幅器一段で構成したときに、 A が二倍も狂ったら大変である。しかし、同じ増幅器をフィードバック増幅器二段で構成すると A が二倍も狂っても、各段では増幅率が 1% しか狂わないので、二段でも 2% しか狂わない。このようにフィードバック増幅器は極めて安定な増幅作用を持つのである。

この効果はフィードバック増幅器の線形性を高める効果もある。例えば原点付近で A が 2×10^6 で、最大出力振幅になる付近で A が 10^6 と、二倍もの勾配変化があるような非線形なオペアンプでも、フィードバックをかけると、増幅率の非線形性は上記の考察のように 1% に抑えられてしまう。このようにフィードバックを利用すると増幅率は安定でかつ線形性が強調される。

抵抗値 R_i 、 R_f はどのように選んだらよいのであろうか？問題はオペアンプの出力内部インピーダンス (1Ω 以下) や入力インピーダンス ($10M\Omega$ 以上) である。当然、前者より十分大きく、後者より十分小さくしなければならない。多くの場合 100Ω ぐらいから $100k\Omega$ ぐらいの値が選択される。

5.4 非反転増幅器と加算器

オペアンプの正入力端子を積極的に使うと、入力を反転しないで増幅する非反転増幅器を構成することができる。この場合にもフィードバックを積極的に使うべきであるが、だからといって、図 5.4 と同じ回路を用いて、正負の入力端子を差し替えるだけではうまく動作しない。このようにすると正のフィードバックがかかり、異常発振したり、出力が常時飽和してしまうという問題が発生する。フィードバックはやはり負入力端子にかけるべきである。出力 V_o の

5.5 積分器

5.6 フィルタ

フィルター回路は基本的にはキャパシタンス（コンデンサー）やインダクタンス（コイル）を組み合わせて構成する。キャパシタンスは速く変化する電流（電流の高周波成分）を通しやすく、その結果として両端の電圧をなるべく一定にしようとする。つまり速い電圧変化（電圧の高周波成分）を抑える機能を持っている。これとは逆にインダクタンスはその中を流れる電流をなるべく保持するように働き、速い電流変化（電流の高周波成分）を抑える。その結果として速い電圧変化（電圧の高周波成分）を許す機能がある。

キャパシタンスに蓄えられる電荷 Q は端子電圧 V に比例し $Q = CV$ となるから、その時間微分である電流 I は $I = C, dV/dt$ となる。ここで $V = V_0 \sin \omega t$ としてみると $I = \omega CV \cos \omega t$ となる。したがって電流振幅 I_0 と V_0 の比は $I_0/V_0 = \omega C$ となる。 ω の大きい、すなわち高い周波数では I_0 は V_0 に対し大きな値となる。つまり図 22 のように I_0 は大きな値が取れるのに対し V_0 は大きな値が取れない。インダクタンスの場合は鎖交する磁束 Φ が電流 I に比例し $\Phi = LI$ となるから、その時間微分である電圧 V は $V = L, dI/dt$ となる。 $V_0/I_0 = \omega L$ となるので逆の性質が出てくる。

こうしたキャパシタンスやインダクタンスと抵抗を組合せると高い周波数の変化を通し低い周波数の変化を弱める回路（HPF, high pass filter の略）を作ることができる。図 23??ではキャパシタンスが電流の高い周波数成分を通しやすいのでこうした機能が実現される。一方??ではインダクタンスが端子電圧の高い周波数成分を通し低い周波数成分を抑えることからこの機能を実現している。逆に低い周波数成分の方を通したい場合には図 24 のような回路（LPF, low pass filter の略）で実現することができる。

このように周波数によって減衰の異なるフィルター作用は基本的にはキャパシタンス、インダクタンス、抵抗により実現することができる。これらを複雑に組み合わせると、たとえばある周波数付近の周波数成分だけを通す（BPF, band pass filter の略）などのかなり複雑な特性を持つフィルター回路を設計することも可能となる。

デジタルフィルタ

5.7 非線形素子

非線形回路

以上述べた各回路はいずれも線形な動作を行い、入力を 2 倍にすると出力も 2 倍になるといった性質を持っている。トランジスターや FET の増幅回路では多少のゆがみが入るが、入力振幅をあまり大きくしないなど各種の工夫によりなるべく理想的な線形増幅を行うよう注意が払われる。こうした線形回路の代表例がオーディオアンプであろう。オーディオアンプは線形増幅と減衰の作用により小さな信号を好みの大きさに拡大しスピーカを駆動している。また、フィルター回路により音質を調整している。

一方、非線形回路とは非線形性を積極的に利用し面白い機能を実現しようと言うものである。非線形とは電圧 V と電流 I が比例しないというものであるから、たとえば

$$V = A_0 + A_1 I + A_2 I^2 + A_3 I^3 + \dots$$

のように I_2 、 I_3 などに比例する項をもつものである。簡単のために I_2 に比例する項だけに着目してみよう。 I として $I = I_0 \cos \omega t$ のような交流を考えると、線形の場合には $I_0 \cos \omega t$ や $I_0 \sin \omega t$ に比例するような項しか生じないのが、非線形の場合には倍角の公式を利用して

$$I = I_1^2 \cos^2 \omega t = \frac{1}{2}(I_1^2 + I_1^2 \cos 2\omega t)$$

となるから、右辺第 1 項のような直流分や第 2 項のような 2 倍波の成分が発生してくる。また I として $I = I_1 \cos \omega_1 t + I_1 \cos(\omega_1 + \theta)$ のように二種類の周波数成分が混ざったものを考えると加法定理を利用して

$$I^2 = \frac{1}{2}I_1^2 + \frac{1}{2}I_2^2 + \frac{1}{2}I_1^2 \cos 2\omega_1 t + \frac{1}{2}I_2^2 \cos 2\omega_2 t + I_1 I_2 \cos[(\omega_1 - \omega_2)t + \theta] + I_1 I_2 \cos[(\omega_1 + \omega_2)t + \theta]$$

となるから電圧には第 3 項、第 4 項のような ω_1 や ω_2 の整数倍、第 5 項、第 6 項のようなそれらの和や差の周波数成分の発生することがわかる。2 次以上の高次の項があるとさらに $n\omega_1 + m\omega_2$ の n 、 m の大きな項が出現してくる。このように非線形作用は入力を持っている周波数の和や差の周波数成分を作り出すことがわかる。

非線形回路を実現するのに良く用いられる素子はダイオードである。ダイオードは順方向でほぼ短絡状態、逆方向でほぼ開放状態と原点付近できわめて強い非線形性を示すからである。たとえば、図 26?? のようなダイオードと抵抗の組合せを作り、 V_{in} として交流をかけると、

V_{in} 正のときはダイオードはほとんど短絡状態となり V_{out} は V_{in} と同じ波形となるが、 V_{in} 負のときはダイオードはほとんど開放状態となり V_{in} の電圧は V_{out} に伝わらず $V_{out} = 0$ となる。このときの V_{out} の波形をもとの周波数およびその整数倍の正弦波に分解すると、?? のように V_{in} の波形の周波数以外の波がかなり含まれている。たとえば波形の平均値は正の値になる。またもとの周波数の整数倍の高調波がかなり含まれている。

この半波と呼ばれる波形をフィルタ回路を通して交流分を落とすと直流が得られる。したがってダイオードは交流から直流を得る整流に良く用いられる。実際には非線形回路とコンデンサー型フィルタを一体化したような図 27?? に示す整流回路がよく使われる。コンデンサーは電圧を保持する機能があるので、?? のように V_{in} の方が V_{out} より低くダイオードが開放の間はほぼ一定電圧を保つ。出力側から電流を使ってコンデンサー端子電圧が下がると V_{in} の方が V_{out} より高い時間帯だけダイオードが短絡しコンデンサーの電圧が再び高められる。 V_{out} のわずかな凹凸が問題となるときには、このうしろにさらに交流を妨げるフィルタ回路を接続して用いられる。

5.8 発振器

発振回路

?? の発振回路とは正弦波などの振動する波形を作り出す回路である。増幅回路とは異なり入力信号なしで直流電源から補給されるエネルギーなどを変換し、振動波形を出力する。

この回路は図 28 のように増幅回路とフィルタ回路、それにわずかな非線形を持つ非線形回路を組合せて実現される。この回路はいままで述べた回路と異なり、外からの入力はない。そのかわり自身の出力を入力としている。まず図 29?? のように B 点から A 点への接続を切った開ループの場合、

A 点から V_{in} を入れたときの B 点での V_{out} が図 29???? のような関係になるように設計しておく。フィルタ回路は?? のようにある周波数 f_0 付近の成分を良く通すよう低周波フィルタにしておく。また非線形回路は信号振幅が大きくなると利得 (V_{out} の変化/ V_{in} の変化) が少しずつ減るよう

にしておき、増幅回路と合わせて のように、信号振幅が小さく $f = f_0$ の周波数付近の成分に対してだけ利得が 1 をわずかに超えるようにしておく。

このように設計された回路で図 28 のように B 点の出力を A 点の入力へ接続してみよう。A 点に、周波数 f_0 付近のわずかな信号があったとすると、その信号は利得 1 以上の回路で増幅され B 点に現れ、前より大きな値になって再び A 点より入力される。このように、 f_0 付近の信号は、同じ回路内をぐるぐる回ることにより、段々成長していくことがわかる。しかしその周波数成分の振幅が増大していくと図 29?? の非線形性により利得が下がりだし、結局 V_0 程度の振幅で増大化が停止する。つまりこのような回路では f_0 付近の波のみが生き残り、かつ V_0 ぐらいの振幅を安定に保つ。これを出力として取り出したものが発振回路である。一番最初の僅かな信号は、回路内に存在する雑音や、回路の電源を投入するときのショックなどで発生するので、ことさら外部から入れる必要はない。発振振幅が維持されるのは増幅回路中のトランジスタや FET に接続された直流電源からエネルギーが補充されるからである。実際には回路内での遅延の影響、非線形性の強さの影響など、発振回路を厳密に理解するのは容易ではないが、原理的にはここに述べた方法できれいな正弦波を得ることができる。なおこれらの 3 回路が一体化された回路もしばしば用いられる。

5.9 基本アナログ回路

増幅回路

増幅回路はトランジスタや FET を使って実現することができる。トランジスタを使った増幅回路の例を図 18?? に示す。この回路は I_b に与えたわずかな変動を増幅して I_c の大きな変動とするものである。まず $I_{in} = 0$ のときの I_b と I_c を求めよう。ベース電圧はわずかな電流を流し込むことにより図 8?? のように約 0.6V となるので、4V の電源より 34k Ω の抵抗を通して $(4-0.6)V/34k\Omega = 0.1mA$ のベース電流 I_b が流れ込む (実はベース電流がうまく決まるように抵抗値が決定される)。コレクター電流 I_c はトランジスタの静特性から求めることができる。 $I_b = 0.1mA$ であるから I_c とコレクター電圧 V_{ce} の関係は静特性の $I_b = 0.1mA$ の曲線で与えられる。一方コレクターに接続された 100 Ω の抵抗の両端には $100I_cV$ の電位差が生じるから $V_{ce} = 4 - 100I_cV$ でなければならない。

この関係をトランジスタの静特性と重ねて記入すると図中?? の破線のようになる。したがって $I_b = 0.1mA$ に対する静特性と破線の交点より、 $I_c = 10mA$ 、 $V_{ce} = 3V$ であることがわかる。こうした動作点を定めるバイアス電流 0.1mA に加え I_{in} を流し込んでベース電流を変化すると交点は破線上を移動し、 I_c が変化することとなる。たとえば $I_{in} = 0.1mA$ とすると $I_b = 0.2mA$ となり、 I_c は 10mA から 20mA へ変化する。つまり I_{in} の 0.1mA の変化に対し I_c は 100 倍の 10mA の変化をする。これが増幅作用である。このようにトランジスタにより β 倍の電流増幅回路が得られる。コレクター抵抗 100 Ω の値をある程度変えても電流増幅率は変わらない。したがってこれをスピーカーなどの各種負荷に置き換えても安定な電流増幅率が得られる。

電圧の増幅も図 19 に示すように同様な回路で行うことができる。 I_b と V_{be} の関係はほぼダイオードの順方向特性となるから、図中の V_{in} の 0.6V 付近のわずかな変化に対し I_{in} は大きく変化する。 I_{in} の変化によりその β 倍の I_c の変化が誘起され、さらにその 100 Ω 倍の電圧変化が生じるので大きな利得 (V_{out} の変化/ V_{in} の変化) の電圧増幅が得られる。ただ電流増幅に対し非線形が強いという欠点がある。この回路は多段にするのが容易であり、全体としてきわめて大きな利得を持つ回路が作られる。ただし 0.6V 付近の V_{in} と 3V 付近の V_{out} を合わせるため、次段との間には変化分だけを伝えるコンデンサーを挿入することが多い。

FET の場合もトランジスターと同様の特性を持っているため同じような回路で増幅を行うことができる。ただトランジスターの場合にはベースにある程度電流が流れ込み、むしろ電流制御型増幅素子として考えた方が良かったのに対し、FET のゲートには原理的に電流が流れ込まず、純粹の電圧制御型増幅素子である点が異なっている。したがって増幅器を構成するときにはバイアス電流の代わりにバイアス電圧を用いればよい。トランジスター回路と同様に V_{gs} を変動のないときの V_{in} (バイアス電圧) とした静特性、および電源電圧 V_{dd} とドレインに直列に置かれた抵抗 R から定まる負荷直線 (破線) の交点から動作点が決まる。次ぎに V_{in} を変動させたときのドレイン電圧 V_{ds} の変化を求めると電圧増幅率が決定できる。適切な V_{th} を持つ FET を用いればこのバイアス電圧も不要とすることができ、図 20 のような簡単な回路で動作させることもできる。

5.10 オペアンプの構造

トランジスター個を用いた増幅回路は図 3.4 に見られたように、入力と出力の対応が非線形である。しかも、交流信号の増幅には使いやすいが直流も含む増幅には極めて使いづらい。

第6章 応用回路

6.1 フィルタの設計

フィルタとは、周波数によって、信号の通過量を変える伝達回路である。低域通過フィルタ (low pass filter, LPF)、高域通過フィルタ (high pass filter, HPF)、帯域通過フィルタ (band pass filter, BPF)、帯域阻止フィルタ (band rejection filter, BRF) などがある。それらの設計法、特に使った設計法について述べる。

6.2 規格化 LPF の基本

LPF の設計法を理解すると、残りの設計法はそれから簡単に誘導することができるので、まず $\omega = 1$ までを通過させる規格化 LPF の設計法を理解しよう。LPF は基本的には、箱型の形状を理想とする。つまり、ある周波数までを完全に通過させ、それ以上の周波数を完全に阻止する。しかし、これを有限の数の素子で構成すると、理想からずれてしまう。それを、どれだけ理想に近づけるかが設計法の基本となる。

もっとも簡単な LPF は、よく知られた RC 回路である。R と C の直列回路を入力に接続し、C から出力を取り出す。低周波では C はほぼ開放であるので、入力そのまま出力に現われる。高周波では C はほぼ短絡となるので、出力はほとんど現われなくなる。入力を x 、出力を y とするとき、この伝達特性は次式で与えられる。

$$y = \frac{1}{1 + CRs} x \quad (6.1)$$

また、この回路に ω の角周波数を入れたときの伝達量の絶対値は、 $s = j\omega$ として、代入した式とその複素共役 (c.c. と表現) の積から計算できる。

$$\left| \frac{y}{x} \right|^2 = \left(\frac{1}{1 + jCR\omega} \right) \times \text{c.c.} = \frac{1}{1 + (CR\omega)^2} \quad (6.2)$$

したがって、絶対値は次のようになる。

$$\left| \frac{y}{x} \right| = \frac{1}{\sqrt{1 + (CR\omega)^2}} \quad (6.3)$$

これをグラフに書いてみると、 $\omega = 0$ で伝達量は 100% となり、 ω の増加とともに、徐々に値が減っていき、 $\omega = 1/CR$ で $1/\sqrt{2}$ となり、 ∞ で 0 となるような LPF になっていることが理解できよう。

もう少し理想的なフィルタを作るには、素子数を増し、 s 、あるいは ω の複雑な関数にするのがよい。一般には次のような形のフィルタを構成することが多い。

$$y = \frac{1}{s \text{ の } n \text{ 次多項式}} x \quad (6.4)$$

一般の回路の伝達関数には分子にも s 多項式が入る可能性があるが、同じ最大次数の多項式の組み合わせで、十分高い周波数における伝達量をなるべく減らすには、分母のみが多項式の方が有利である。したがって、フィルタとしては、この式の形のものしか検討しない。この式の絶対値をとると、次の式が得られる。

$$\left| \frac{y}{x} \right| = \frac{1}{\sqrt{\omega^2 \text{の } n \text{ 次多項式}}} \quad (6.5)$$

ω^2 の多項式となることは、 s の多項式に $s = j\omega$ を代入してみれば分る。また、当然、 $\pm\omega$ に対し、対照的な形になる。

普通のフィルタの設計では、まず、この伝達関数の絶対値の式を定め、それから、これに対応する s 式を求める。次に、これを実現する素子の配置を決定する。

6.3 バターウォースフィルタ

現在のフィルタの主流は、次節に述べるチェビシェフフィルタである。しかし、まず、説明の簡単なバターウォース (Butterworth) フィルタについて述べる。バターウォースフィルタの基本概念は x^n が n の増大につれ、どんどん、 $x = 1$ で立ち上がる箱型の関数になっていくことを利用する。これに 1 を加え、逆数をとると、 $n \rightarrow \infty$ で $|\omega| < 1$ でほぼ 100% の通過特性を持ち、 $|\omega| > 1$ でほぼ 0% の阻止特性を持つフィルタとなる。上の形にするには次式のようにする。ただし、奇数乗であると、 $x = -1$ 側でうまくいかないのので、これを二乗して、偶数乗にする。

$$\left| \frac{y}{x} \right| = \frac{1}{\sqrt{1 + \omega^{2n}}} \quad (6.6)$$

これから s 式を誘導する必要がある。前節に示した手順を逆に踏んでいけばよい。まず、この伝達部分を二乗してみよう。簡単のために、 $n = 2$ としておくが、一般の n に対しても同じ手法が使える。

$$\left| \frac{y}{x} \right|^2 = \frac{1}{1 + \omega^4} \quad (6.7)$$

この分母を $j\omega$ の一次式で展開する。具体的には、まず分母の $j\omega$ を適当な変数に置き換える。分母を 0 とする $j\omega$ の根 α_i を求め、それを利用して $(j\omega - \alpha_i)$ の積の形にする。

$$\begin{aligned} \left| \frac{y}{x} \right|^2 &= \frac{1}{1 + \omega^4} = \frac{1}{(j\omega + (1+j)/\sqrt{2})(j\omega + (1-j)/\sqrt{2})(j\omega - (1+j)/\sqrt{2})(j\omega - (1-j)/\sqrt{2})} \\ &= \left(\frac{1}{(j\omega + (1+j)/\sqrt{2})(j\omega + (1-j)/\sqrt{2})} \right) \text{(c.c.)} \end{aligned} \quad (6.8)$$

また右辺の前半の括弧だけを取り、その式の $j\omega$ を s と置き換えると目的とする伝達関数の s 表示が得られる。

$$y = \frac{1}{(s + (1+j)/\sqrt{2})(s + (1-j)/\sqrt{2})} x = \frac{1}{s^2 + \sqrt{2}s + 1} x \quad (6.9)$$

なお、元々 $(j\omega - \alpha_i)$ の形は分母に 4 個あったが、そのうちどれを拾い出し、どれをその複素共役と考えるかについては、明解な選定則がある。それは α_i のうち、実部が負のものだけを採用するのである。もし、実部が負であると、それにより構成したフィルタは不安定な発散解を持ってしまふからである。

もとより、L、C、R のみから構成する伝達回路により作られる伝達関数は必ず分母の根は実部負となる。しかし、演算増幅器のような能動回路を用いると実部正の回路の実現も容易なので、注意が必要である。

同じことを機械的に作業するには、式 6.7 に対応する式の ω を s/j に置き換える。続いてその分母を、その s の根を利用して一次式の積に直す。このうち、半数の実部負の根に対応する一次式だけを採用すれば、必要な s 式が得られる。なお、分子は $s = 0$ としたときに全体が 1 となるように決定する。

この作業法は、もっと高次のバターウォースフィルタでも、次節で説明するチェビシェフフィルタでもまったく同じである。ちなみに、高次のバターウォースフィルタの場合、その根は次のようになる。

$$s_k = -\sin \frac{(2k-1)\pi}{2n} + j \cos \frac{(2k-1)\pi}{2n} \quad k = 1, 2, \dots, 2n \quad (6.10)$$

ちなみに、これらの根を複素平面上にプロットすると、元々 -1 の $2n$ 乗根であったことからわかるように、原点を中心とする円周上に等間隔に並んだものになる。安定根は言うまでもなく、そのうちの左半平面に来るものだけとなる。

ここで、伝達関数から具体的な回路構成をすることになるが、それについては次々節で述べる。

6.4 チェビシェフフィルタ

チェビシェフ (Chebyshev) フィルタでは、チェビシェフ関数というものを利用する。

$$C_n(\omega) = \begin{cases} \cos(n \cos^{-1} \omega) & |\omega| \leq 1 \\ \cosh(n \cosh^{-1} \omega) & |\omega| > 1 \end{cases} \quad (6.11)$$

$|\omega| \leq 1$ に限ると、横方向に 1 回前後する間に、縦方向に n 回前後する二次元振り子の描くりサーージュ (Lissajou) 図形となっている。これらの式はいずれも、 $\omega = 1$ で 1、 $\omega = -1$ で ± 1 の値をとり、その間で、丁度 ± 1 を上下限として $n-1$ 回波打つような n 次の多項式となっている。 $|\omega| > 1$ では、ひたすら $\pm\infty$ へ発散していく。

これらの式は、チェビシェフ多項式と呼ばれる ω の多項式で表現できる。その誘導は省略するが、結果のみを示しておく。

$$C_1(\omega) = \omega \quad (6.12)$$

$$C_2(\omega) = 2\omega^2 - 1 \quad (6.13)$$

$$C_3(\omega) = 4\omega^3 - 3\omega \quad (6.14)$$

$$\vdots \quad (6.15)$$

$$C_n(\omega) = 2\omega C_{n-1}(\omega) - C_{n-2}(\omega) \quad (6.16)$$

これらの多項式を利用して、チェビシェフフィルタとは次のような伝達特性を持つものとして定義される。

$$\left| \frac{y}{x} \right| = \frac{1}{\sqrt{1 + \epsilon^2 C_n(\omega)^2}} \quad (6.17)$$

$|\omega| \leq 1$ で $C_n(\omega)^2$ は 0 から 1 の範囲で波立った変動をするので、通過域で伝達特性は最大 100%、悪くても $1/\sqrt{1+\epsilon^2}$ 通過させる。言うまでもなく ϵ は小さな値であり、通過域のリプルの程度を決めるパラメータである。

一方、 $|\omega| > 1$ では、少なくとも $1/\omega^n$ のペースで減衰していくので、かなり理想的なフィルタとなる。

前述と同じ手法で、 s の根を求めることができる。うまい具合に、この場合にも解析的な根が得られる。

$$s_k = -\sinh\left(\frac{1}{n} \sinh^{-1} \frac{1}{\epsilon}\right) \sin \frac{(2k-1)\pi}{2n} + j \cosh\left(\frac{1}{n} \sinh^{-1} \frac{1}{\epsilon}\right) \cos \frac{(2k-1)\pi}{2n} \quad (6.18)$$

これらの根は、式 6.10 のものと極めて似た形になっている。前者が複素平面で円周上に並んだのと比較し、これらの根は原点を中心とする縦長の楕円上に並ぶ。安定根は、その左半平面に存在するものだけを採用すればよい。なお、根の具体的な値は、色々な n と ϵ に対し、計算したものが、フィルタの各種解説書に出ているので、設計の際はそれを利用するのがよいだろう。

6.5 HPF、BPF、BSF の伝達関数

前節で、 $\omega = 1$ 付近に遮断周波数を持つ LPF の伝達関数を求める手法を示したが、 ω_c 付近に遮断周波数を持つ LPF は、上記で得られた s 表示された伝達関数の s を s/ω_c で置き換えればよい。一般に LPF の伝達関数は次のように表わされる。

$$K \frac{a_0}{s+a_0} \frac{b_1}{s^2+2a_1s+b_1^2} \cdots \frac{b_n}{s^2+2a_ns+b_n^2} \quad (6.19)$$

ここで K は 1 か、1 に極めて近い係数である。また、一次式はフィルタの次数が奇数のときのみ表われる。また、二次式は複素根を持つことを前提としているので、 $a < b$ である。いずれにせよ、一次もしくは二次の有理関数の積になっている。関数はすべて $s = 0$ で 1 となるし、 $s \rightarrow \infty$ で 0 となる。

同様に、 ω_c 付近に遮断周波数を持つ HPF (高域通過フィルタ) は s を ω_c/s に置き換えればよい。この結果、HPF の伝達関数は次のようになる。

$$K \frac{s}{s+a_0} \frac{s^2}{s^2+2a_1s+b_1^2} \cdots \frac{s^2}{s^2+2a_ns+b_n^2} \quad (6.20)$$

BPF (帯域通過フィルタ) については、少し詳しく説明しよう。通過域を ω_l から ω_u としよう。規格化 LPF は $\omega = -1$ から $\omega = 1$ までを通す BPF とも理解できるので、-1 を ω_l に 1 を ω_u に変換する簡単な関数を探せばよい。変換式として次の関数を採用してみよう。

$$\omega' = A\omega - \frac{B}{\omega} \quad (6.21)$$

ここで、 ω' は規格化 LPF の周波数である。前述の対応関係より次の二式が得られる。

$$-1 = A\omega_l - \frac{B}{\omega_l} \quad (6.22)$$

$$1 = A\omega_u - \frac{B}{\omega_u} \quad (6.23)$$

この関係から、 A 、 B を求めることができる。

$$A = \frac{1}{\omega_u - \omega_l} \quad (6.24)$$

$$B = \frac{\omega_u \omega_l}{\omega_u - \omega_l} \quad (6.25)$$

これら、 A 、 B を用いると所望の変換が完成する。変換式の ω を s/j に置き換えると s の変換式が得られる。つまり規格化 LPF の s を $As + B/s$ とすればよい。この結果、BPF の伝達関数は次のようになる。

$$K \frac{2a_1 s}{s^2 + 2a_1 s + b_1^2} \cdots \frac{2a_n s}{s^2 + 2a_n s + b_n^2} \quad (6.26)$$

BSF (帯域阻止フィルタ) は、 s として上記の逆数をとればよいので、 s を $1/(As + B/s)$ に置き換える。この結果、BSF の伝達関数は次のようになる。

$$K \frac{s^2 + b_1^2}{s^2 + 2a_1 s + b_1^2} \cdots \frac{s^2 + b_n^2}{s^2 + 2a_n s + b_n^2} = K \left(1 - \frac{2a_1 s}{s^2 + 2a_1 s + b_1^2} \cdots \frac{2a_n s}{s^2 + 2a_n s + b_n^2} \right) \quad (6.27)$$

6.6 フィルタ回路の実現

フィルタ回路は L、C、R のみを使うだけで実現できる。さらに、理想的な素子の得難い L を除外して C、R のみでも実現できる。しかし、現在は演算増幅器を利用して設計する方が一般的である。それは s の複雑な関数が実現しやすいからである。特に前節で見られるように、伝達関数がいくつかの関数の積で与えらえるときに、それを演算増幅器の縦列接続で簡単に実現できるという特徴を持っている。そこで、本節では演算増幅器の縦列接続によるフィルタの実現法について述べる。

前節の有理関数の積で与えられた伝達関数は、それぞれの有理関数を実現する増幅器の縦列接続で実現できるので、各段の設計法について述べる。

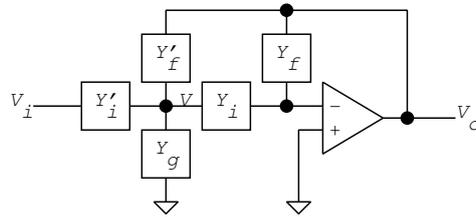


図 6.1: 二次の多重帰還増幅器

図 6.1 のように、帰還型の反転増幅器の前にさらに帰還をかけた多重帰還増幅器 (MFB: multiple feedback type active filter) を考える。

この回路の応答は次のように各ノードに入ってくる電流の総和が 0 の条件より簡単に求めることができる。

$$Y_i' V_i + Y_f V_o = (Y_i' + Y_f' + Y_g + Y_i) V \quad (6.28)$$

$$Y_i V + Y_f V_o = 0 \quad (6.29)$$

これより伝達関数が得られる。

$$-\frac{Y_i' Y_i}{(Y_i' + Y_f' + Y_g + Y_i) Y_f + Y_i Y_f'} \quad (6.30)$$

一次関数は $Y_i \rightarrow \infty$ 、 $Y_g = 0$ として実現できる。つまり、一段の単純な帰還増幅器である。

$$-\frac{Y_i'}{Y_f + Y_f'} \quad (6.31)$$

各一次もしくは二次関数の実現法を以下にまとめる。これで、所望の関数を実現できるかは、上式に各値を代入することで、確認できよう。

$$-K \frac{a}{s+a} : Y_i \rightarrow \infty, Y_g = 0, Y_f = Cs, Y'_f = G = aC, Y'_i = KG \quad (6.32)$$

$$-K \frac{s}{s+a} : Y_i \rightarrow \infty, Y_g = 0, Y_f = Cs, Y'_f = G = aC, Y'_i = KCs \quad (6.33)$$

$$-\frac{b^2}{s^2 + 2as + b^2} : Y_f = Cs, Y'_f = G = \frac{b^2}{a}C, Y'_i = KG, Y_i = (K+1)G, \\ Y_g = (K+1) \left(\frac{b}{a}\right)^2 Cs \quad (6.34)$$

$$-\frac{Ks^2}{s^2 + 2as + b^2} : Y_i = Y'_i = Cs, Y'_f = \frac{1}{K}Cs, Y_f = \frac{a}{K+1/2}C, \\ Y_g = \frac{b^2(K+1/2)}{aK}C \quad (6.35)$$

これにより、LPF、HPF、BPF の構成できることは直ぐに理解できよう。BSF だけは、上記の手法を使うよりは、BPF を利用して構成する方が簡単である。 $BSF = 1 - BPF$ を利用する。つまり、 V_i を BPF に通した負の出力と、生の V_i を加算器で加算すればよい。

6.7 シグマ デルタ オーバサンプリング AD 変換器

オーバサンプリング法 (oversampling method) は通常の AD 変換器 (AD convertor) と大きく異なり、アナログ入力からいきなり 12 bit のようなパラレル (あるいはシリアル) のデジタル出力を出すのではなく、まず 1 bit の AD 変換 (AD conversion) をして、シングルデジタル出力を得る。それを計算機処理して複数 bit の出力にするものである。

通常の AD 変換器と同じクロックでサンプルすると、情報は明かに不足するので、オーバサンプリング (over-sampling) といって、通常の数十倍から数万倍のクロックで変換する。また、1 bit AD 変換器には $\Sigma - \Delta$ AD 変換器が用いられる。

6.7.1 デルタ変調

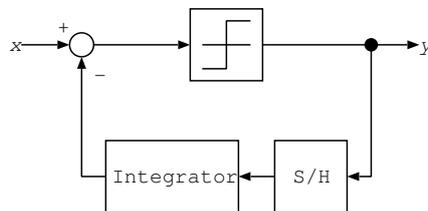


図 6.2: Δ 変調器

シグマ デルタ AD 変換器の基礎には、デルタ変調 (delta modulation) という概念が存在している。この回路を図 6.2 に示すが、まず、入力とフィードバック信号との差を調べ、入力の方が大きいと正の一定出力、小さいと負の一定出力を出す比較器がある。その出力をクロックに合わせて定期的に取り出し、次のクロックの来るまで出力を維持する遅延回路 D (Sample/Hold) がある。さら

にその結果を積分し、一定速度で増加あるいは減少するフィードバック信号を作り出す積分器がある。

これら入力とフィードバック信号との差は、クロックごとにしかチェックされないので、フィードバック信号は一つ前のクロックのときの値から $\pm\Delta$ しか変化していないこととなり、クロックごとに一定幅の上下移動のみが許された尺取虫のようなものとなる。この移動のみでアナログ原波形を追いかけることとなる。例えばアナログ波形が正弦波のときには、図 6.3 のようになる。この際の $+\Delta / -\Delta$ の移動を $1 / -1$ に対応させて出力とする。当然、アナログ原波形が増加傾向にあると 1 の出力が増え、逆に減少傾向にあると -1 の出力が増える。つまり微分に近い概念であると言える。

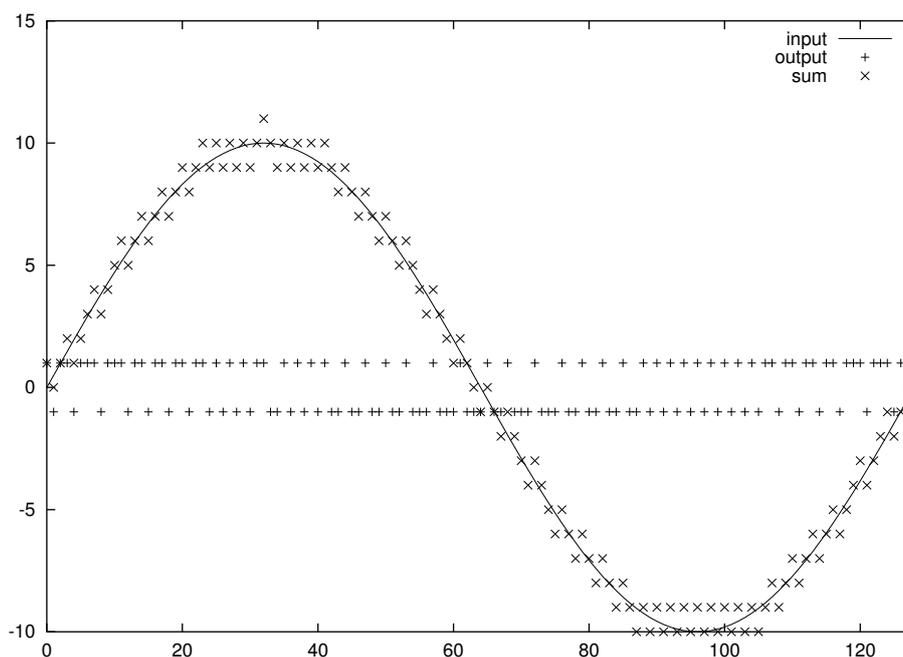


図 6.3: デルタ変調波形

このデジタル出力波形の周波数スペクトルを図 6.4 に示す。

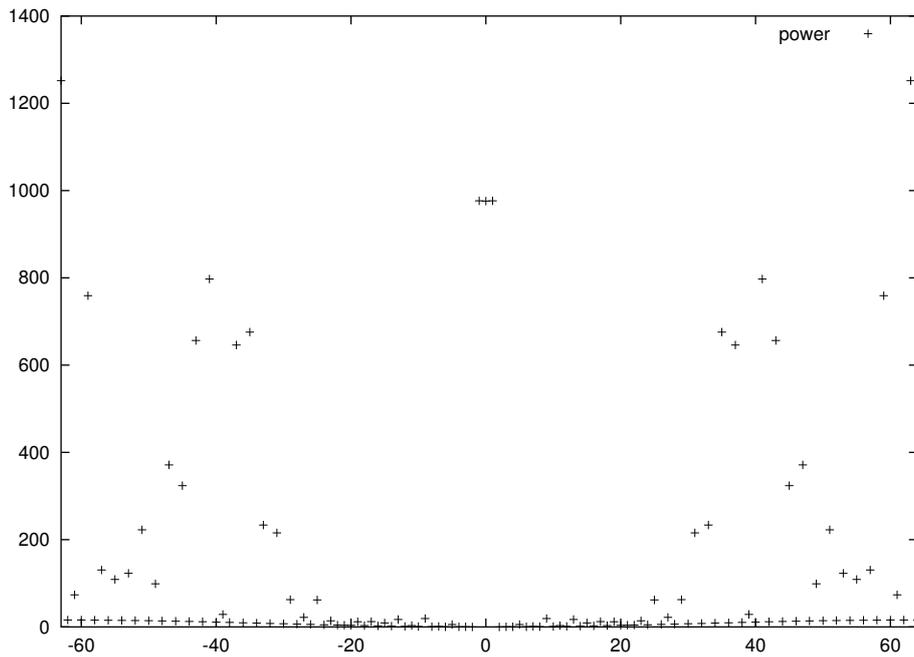


図 6.4: デルタ変調波形のスペクトル

この波形のスペクトルを見ると周波数 0 付近に存在するアナログ入力の前波形の周波数成分以外に、左右の高周波部にランダムな成分を持っている。これは、パルス波形に変換した際の量子化雑音である。しかし、積分器を含んだフィードバックループの存在のため、それらの成分は高周波領域にのみ存在する。

6.7.2 シグマ デルタ変調

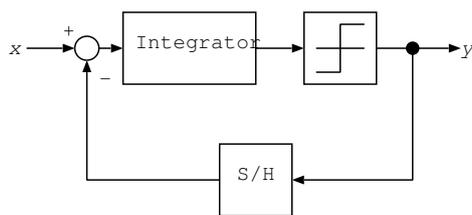


図 6.5: シグマ デルタ変調器

図 6.3 の入力を積分したものにデルタ変調をかけると、そのデジタル出力はアナログ原波形に近い概念になる。構造は図 6.5 に示すように、入力側に入れた積分器とフィードバック信号側に元々入っていた積分器を一体化した構成となっている。また、波形を図 6.6 に示す。

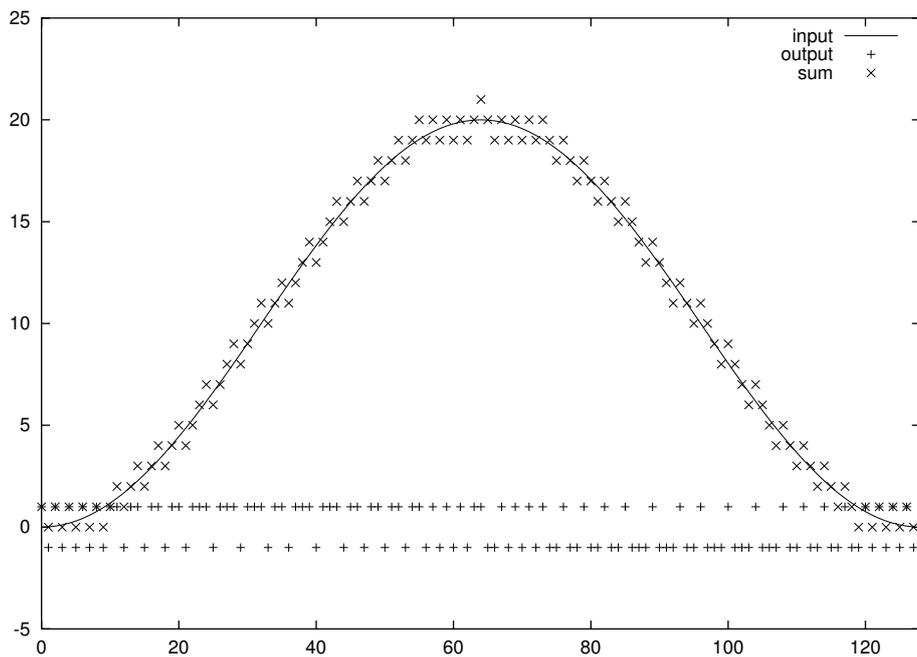


図 6.6: シグマ デルタ変調波形

このデジタル出力波形の周波数スペクトルを図 6.7 に示す。この量子化雑音も高周波領域にのみ存在する。

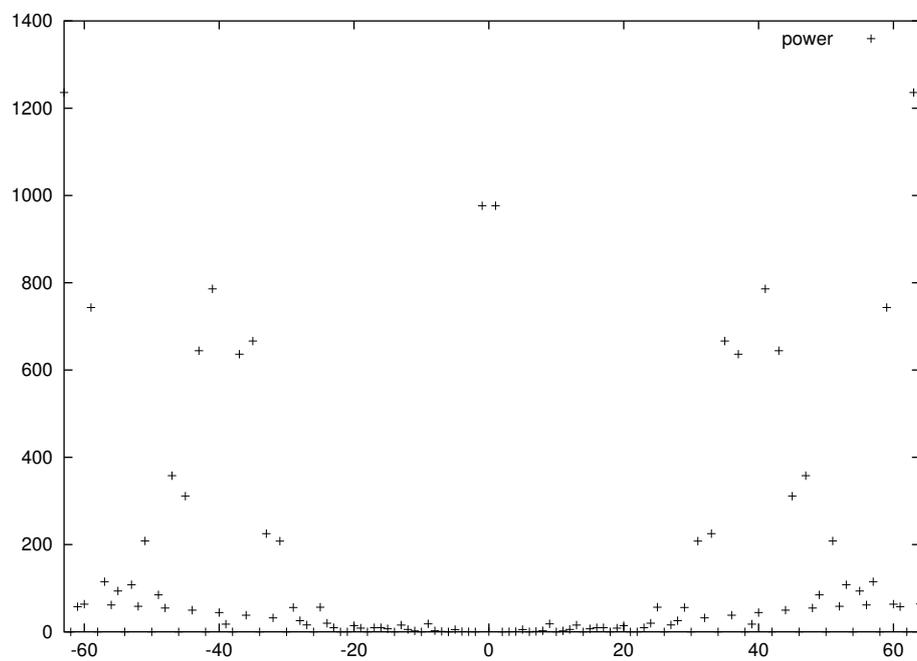


図 6.7: シグマ デルタ変調波形のスペクトル

6.7.3 シグマ デルタ オーバサンプリング AD 変換器

シグマデルタ AD 変換器 (sigma-delta AD convertor) のわかりづらいのは、従来の AD 変換器の考え方とまったく異なる点である。従来の AD 変換器は、元のアナログ波形をそのままデジタル符号化することを考えていた。

しかし、シグマデルタ AD 変換器では、元のアナログ波形から、シグマデルタ変調を利用して、それと近い周波数スペクトルを持つデジタル波形を作り出す。この中間的なデジタル波形は、最終的に出力されるデジタル符号列とは似ても似つかないものである。むしろアナログ波形に似ている。しかし、デジタルであるので、デジタル処理が可能なのである。

この中間的なデジタル波形を、量子雑音を除去するための低域通過型デジタルフィルタの入力に直接入れると、その出力はデジタル数値化された出力波形となる。出力がデジタル数値化されているということは、これをそのまま最終のデジタル符号化出力として利用できるはずである。つまり、AD 変換が成立したことになる。

この発想の転換に追従できないと、この AD 変換器は永久に理解できない。

元のアナログ波形の持つ周波数に対し、量子化雑音の持つ高周波成分を十分高くするために、サンプリングの周波数は十分高くとる。この比率をどのくらいとるかは、最終的に必要な bit 幅で決定される。どの程度、通常の数十倍から数万倍のクロックで変換するので、これを、オーバーサンプリング法 (oversampling method) という。最終的に 12 bit のデジタル出力を得ようとする、少なくとも 2^{12} 倍程度のオーバーサンプリングが必要である。

また積分器をもう少し複雑な s の関数とすると量子化雑音をもっと抑えることができる。こうした概念を取り入れたものが、二重積分型と呼ばれるものである。

索引

'band stop filter, BSF', 41

'オペアンプ', 41

AD conversion (AD 変換), 46

AD convertor (AD 変換器), 46

AD 変換 (AD conversion), 46

AD 変換器 (AD convertor), 46

band pass filter, BPF (帯域通過フィルタ), 41

band rejection filter, BRF (帯域阻止フィルタ), 41

delta modulation (デルタ変調), 46

high pass filter, HPF (高域通過フィルタ), 41

low pass filter, LPF (低域通過フィルタ), 41

over-sampling (オーバサンプリング), 46

oversampling method (オーバサンプリング法), 46, 50

sigma-delta AD convertor (シグマデルタ AD 変換器), 50

オーバサンプリング (over-sampling), 46

オーバサンプリング法 (oversampling method), 46, 50

高域通過フィルタ (high pass filter, HPF), 41

シグマデルタ AD 変換器 (sigma-delta AD convertor), 50

帯域阻止フィルタ (band rejection filter, BRF), 41

帯域通過フィルタ (band pass filter, BPF), 41

低域通過フィルタ (low pass filter, LPF), 41

デルタ変調 (delta modulation), 46